

西安电子科技大学

# 硕士学位论文



一种应用于脑电信号采集的多通道  
信号调理电路设计

作者姓名 \_\_\_\_\_ 高 迪 \_\_\_\_\_

学校导师姓名、职称 \_\_\_\_\_ 刘帘曦 教授 \_\_\_\_\_

企业导师姓名、职称 \_\_\_\_\_ 刘洪涛 高工 \_\_\_\_\_

申请学位类别 \_\_\_\_\_ 电子信息硕士 \_\_\_\_\_

学校代码 10701

分类号 TN4

学号 20111213079

密级 公开

# 西安电子科技大学

## 硕士学位论文

### 一种应用于脑电信号采集的多通道 信号调理电路设计

作者姓名：高迪

领 域：集成电路工程

学位类别：电子信息硕士

学校导师姓名、职称：刘帘曦 教授

企业导师姓名、职称：刘洪涛 高工

学 院：微电子学院

提交日期：2023年6月

# **Design of A Multi-Channel Signal Conditioning Circuit for EEG Signal Acquisition**

A thesis submitted to  
XIDIAN UNIVERSITY  
in partial fulfillment of the requirements  
for the degree of Master  
in Electronic Information

By

Gao Di

Supervisor: Liu Lianxi      Title: Professor

Supervisor: Liu Hongtao      Title: Senior Engineer

June 2023

## 摘要

随着生活节奏的不断加快以及基础代谢类疾病在疫情流行时段对人们健康影响的不断加重,重大心血管疾病的预防以及治疗得到了越来越多的重视。基于可穿戴或可植入式脑电信号采集芯片所实现的实时脑电信号监测对于医疗人员实时而全面地了解目标人员的身体状况具有着重要的作用,因此该类芯片的设计在近年来受到了国内外众多公司以及高校研究人员的关注。然而由于脑电信号本身低幅值、低频率的特征,导致了脑电信号采集芯片的设计较为复杂和困难。除此之外,为了更加全方位地了解脑电信号以解决众多疾病难题,信号调理电路应具有多通道信号处理的能力,而功耗和面积随通道数增加而急剧增加的问题也限制着脑电信号采集芯片的设计。如何在功耗、面积、噪声以及其他各种重要性能指标下进行信号调理电路的折衷设计,直接影响着可穿戴或可植入式脑电信号采集芯片的发展与普及。

基于上述应用需求,本文提出了一种应用于脑电信号采集的多通道信号调理电路设计。该信号调理电路采用了基于 Walsh-Hadamard 编码的正交码分复用方案,将各通道信号进行正交码调制并在合并后通过复用的 LNA 和 VGA,有效地降低了多通道下信号调理电路的整体功耗和面积,同时还利用了码分复用方案的正交特性实现了较低的通道间串扰。为了解决多频斩波调制下通道间输入阻抗不匹配的问题,本文提出了一种双斩波调制技术,通过在各通道的输入电容前加入相同频率的第一级斩波调制,而在输入电容后的第二级斩波调制处仍采用正常的正交码分复用调制方案,在保证正交码分复用方案能够实现的同时,有效地解决了通道间等效输入阻抗不匹配的难题。为了在降低整体电容面积的同时,保证通道间增益的匹配度,本文提出了一种基于逐次逼近的输入电容失配校准方案,在较小的输入电容前提下,通过对输入电容进行校准,同时各通道复用第一级 LNA 的反馈电容,有效地提升了通道间的增益匹配度。此外,为了解决斩波技术下 CCIA 的等效输入阻抗较低的问题,本文采用了基于 DDA 的输入阻抗提升 Buffer,将斩波开关与输入电容之间的开关电容结构改变为斩波开关与 DDA 输入对管寄生电容之间的开关电容结构,有效地提升了信号调理电路的等效输入阻抗。

本文基于 65nm 标准 CMOS 工艺对所设计的应用于脑电信号采集的多通道信号调理电路进行了电路设计和版图实现,核心电路面积为  $0.9 \times 0.95 \text{mm}^2$ ,7 通道下的平均每通道面积为  $0.122 \text{mm}^2$ 。后仿真结果表明,在 1.2V 电源电压下,总静态功耗为  $42.48 \mu\text{W}$ ,平均每通道的功耗为  $6.07 \mu\text{W}$ 。整体实现了 0.1-100Hz 的带宽以及 34-60dB 的增益范围。本设计电路所实现的通道间串扰仅为 -78.91dB,通道间增益失配降低至 0.65%,等效输入阻抗提升至  $7.3 \text{G}\Omega$ ,带宽范围内输入参考噪声密度为  $24.76 \text{nV}/\sqrt{\text{Hz}}$ 。

**关键词：**脑电信号， 双斩波调制技术， 输入电容校准， 调理电路， 低噪声放大器

## ABSTRACT

With the accelerating pace of life and the increasing impact of basic metabolic diseases on people's health during the epidemic period, the prevention and treatment of major cardiovascular diseases have received more and more attention. Real time EEG signal monitoring based on wearable or implantable EEG signal acquisition chips plays an important role in providing medical personnel with a real-time and comprehensive understanding of the physical condition of the target person. Therefore, the design of such chips has attracted the attention of many companies and university researchers at home and abroad in recent years. However, due to the low amplitude and low-frequency characteristics of EEG signals, the design of EEG signal acquisition chips is relatively complex and difficult. In addition, in order to have a more comprehensive understanding of EEG signals and solve numerous disease problems, signal conditioning circuits should have the ability to process multi-channel signals, and the problem of power consumption and area rapidly increasing with the number of channels also limits the design of EEG signal acquisition chips. How to compromise the design of signal conditioning circuits under power consumption, area, noise and other important performance indicators has directly affected the development and popularity of wearable or implantable EEG signal acquisition chips.

Based on the above application requirements, this paper proposes a multi-channel signal conditioning circuit design for EEG signal acquisition. The signal conditioning circuit adopts an orthogonal code division multiplexing scheme based on Walsh-Hadamard coding, which modulates the signals of each channel using orthogonal codes and merges them into multiplexed LNA and VGA, effectively reducing the overall power consumption and area of the signal conditioning circuit under multi-channel conditions. At the same time, the orthogonal characteristics of the code division multiplexing scheme are utilized to achieve lower inter channel crosstalk. In order to solve the problem of input impedance mismatch between channels under multi frequency chopping modulation, this paper proposes a dual chopper modulation technology. By adding the same frequency first stage chopping modulation to the input capacitors of each channel, and still using the normal orthogonal code division multiplexing modulation scheme at the second stage chopping modulation after the input capacitors, while ensuring that the orthogonal code division multiplexing scheme can be achieved, effectively solving the problem of equivalent input impedance

mismatch between channels. In order to reduce the overall capacitance area and ensure the matching degree of gain between channels, this paper proposes an input capacitance mismatch calibration scheme based on successive approximation. Under the premise of small input capacitance, the input capacitance is calibrated, and each channel multiplexes the feedback capacitance of the first LNA, effectively improving the matching degree of gain between channels. In addition, in order to solve the problem of low equivalent input impedance of CCIA under chopping technology, this paper adopts a DDA based input impedance enhancement buffer, which changes the switching capacitor structure between the chopping switch and the input capacitor into a switching capacitor structure between the chopping switch and the DDA input pair parasitic capacitor, effectively improving the equivalent input impedance of the signal conditioning circuit.

Based on 65nm standard CMOS technology, the circuit design and layout implementation of the multi-channel signal conditioning circuit for EEG signal acquisition are carried out in this paper. The core circuit area is  $0.9 \times 0.95 \text{mm}^2$ , and the average area per channel under 7 channels is  $0.122 \text{mm}^2$ . The post-simulation results show that the total static power consumption is  $42.48 \mu\text{W}$  at 1.2V supply voltage. The average power consumption per channel is  $6.07 \mu\text{W}$ . The overall bandwidth of 0.1-100Hz and the gain range of 34-60dB are achieved. The inter-channel crosstalk achieved by this design is only -78.91dB, the inter-channel gain mismatch is reduced to 0.65%, the equivalent input impedance is increased to  $7.3 \text{G}\Omega$ , and the input reference noise density within the bandwidth range is  $24.76 \text{nV}/\sqrt{\text{Hz}}$ .

**Keywords:** EEG, Dual chopper modulation technology, Calibration of input capacitance, Conditioning circuit, Low noise amplifier

## 插图索引

图 1.1 基于可穿戴或可植入式设备的 WBAN 流程图.....	2
图 2.1 放大器结构: (a)仪表放大器的典型结构; (b)电容耦合放大器结构.....	9
图 2.2 放大器结构: (a)电流反馈放大器的简化电路; (b)自稳零放大器结构.....	9
图 2.3 斩波调制的基本原理.....	11
图 2.4 传统多通道斩波技术信号调理电路架构.....	12
图 2.5 双通道正交频分复用方案的原理图.....	14
图 2.6 分时复用方案: (a)原理图; (b)时序图.....	15
图 2.7 分时复用方案中 ACI 的影响.....	15
图 2.8 正交码分复用方案的原理图.....	16
图 2.9 放大器结构中的 T 型反馈单元结构: (a)单端 T 型电阻结构; (b)差分 T 型电阻结构; (c)单端 T 型电容结构; (d)差分 T 型电容结构.....	19
图 3.1 基于 Walsh-Hadamard 编码调制的双斩波调制 CCIA 信号调理电路架构	21
图 3.2 使用 Walsh-Hadamard 编码的多通道信号记录系统中的调制和解调.....	23
图 3.3 基于 Walsh Hadamard 编码的: (a)信号产生逻辑电路; (b)8 通道连续码的波形图.....	24
图 3.4 斩波调制开关: (a)斩波调制开关模型; (b)互补 CMOS 开关.....	24
图 3.5 斩波调制引入的等效开关电容结构.....	25
图 3.6 电极采集信号模型.....	26
图 3.7 基于逐次逼近的输入电容校准电路.....	29
图 3.8 时域比较器.....	31
图 3.9 SA Logic 电路.....	32
图 3.10 开关结构图: (a)传统 CMOS 开关; (b)T 型 CMOS 开关.....	32
图 3.11 (a)电流复用共源共栅放大器; (b)共模反馈电路.....	34
图 3.12 本文设计的可变增益放大器.....	35
图 3.13 基于 FVFB 结构的四阶 Gm-C 低通滤波器.....	36
图 3.14 基于 DDA 的输入阻抗提升 Buffer.....	37
图 3.15 改进的电流模基准源电路.....	39
图 3.16 时钟信号产生电路.....	39
图 3.17 带钳位运放结构的高 PSRR 基准源.....	40
图 4.1 所设计的应用于脑电信号采集的多通道信号调理电路的版图.....	43
图 4.2 LNA 单元的开环交流特性仿真原理图.....	44

图 4.3 LNA 单元的开环交流特性仿真结果.....	44
图 4.4 LNA 单元的 CMRR 仿真原理图 .....	45
图 4.5 LNA 单元的 CMRR 仿真结果 .....	45
图 4.6 LNA 单元的 PSRR 仿真原理图 .....	45
图 4.7 LNA 单元的 PSRR 仿真结果.....	46
图 4.8 VGA 单元的交流特性仿真原理图 .....	46
图 4.9 VGA 单元在不同增益下的交流特性仿真结果 .....	47
图 4.10 LPF 单元的交流特性仿真原理图 .....	47
图 4.11 LPF 单元的交流特性仿真结果 .....	47
图 4.12 输入阻抗提升 Buffer 单元的闭环交流特性仿真原理图.....	48
图 4.13 输入阻抗提升 Buffer 单元的闭环交流特性仿真结果.....	48
图 4.14 改进的电流模基准源单元的温度特性仿真结果.....	49
图 4.15 单通道频率响应仿真原理图 .....	50
图 4.16 单通道频率响应仿真结果 .....	50
图 4.17 单通道噪声特性仿真原理图 .....	50
图 4.18 单通道噪声特性仿真结果 .....	51
图 4.19 单通道输入阻抗提升特性仿真结果.....	52
图 4.20 振荡器、分频器以及正交码产生电路的信号波形图 .....	52
图 4.21 时域比较器的关键信号波形图 .....	53
图 4.22 SA Logic 电路的关键信号波形图.....	54
图 4.23 正常工作模式下的整体电路瞬态仿真原理图 .....	55
图 4.24 正常工作模式下的整体电路瞬态仿真结果 .....	56
图 4.25 Walo 通道的输出信号频谱图.....	57
图 4.26 七通道的通道间增益失配仿真结果图 .....	57
图 4.27 信号调理电路的整体功耗占比图 .....	58

## 表格索引

表 2.1 脑电信号的总体特征 .....	7
表 2.2 脑电信号的频段划分 .....	7
表 3.1 VGA 的开关信号与增益大小.....	35
表 4.1 不同工艺角下的交流特性 .....	44
表 4.2 输入电容校准结果 .....	54
表 4.3 七通道正交码分复用信号调理电路的串扰仿真结果 .....	56
表 4.4 性能对比表 .....	59

## 符号对照表

符号	符号名称
$\mu$	微
dB	分贝
G	吉
M	兆
n	纳
m	毫
f	飞
$\text{mm}^2$	平方毫米
V	伏特
Hz	赫兹
k	波尔茨曼常数
$\mu\text{W}$	微瓦
$\gamma$	MOSFET 热噪声系数
$I_D$	MOSFET 漏极电流(A)
$g_m$	跨导(S)
$r_o$	小信号输出阻抗( $\Omega$ )
C	电容(F)
T	温度(K)
q	单位电子电量
R	电阻( $\Omega$ )
$V_{OS}$	失调电压(V)
$V_T$	热电压(V)

## 缩略语对照表

缩略语	英文全称	中文对照
CVD	Cardiovascular Disease	心血管病
MEMS	Microelectromechanical Systems	微系统
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
WBAN	Wireless Body Area Network	无线体域网
BCI	Brain Computer Interface	脑机接口
EEG	Electroencephalogram	脑电图
fNIRS	Functional Near Infrared Spectroscopy	功能性近红外光谱
EOG	Electrooculogram	眼电信号
ECoG	Electrocorticography	皮层脑电图
PPG	Photoplethysmography	光体积变化描记图法
ECG	Electrocardiography	心电图
EMG	Electromyogram	肌电信号
BioZ	Bioimpedance	生物阻抗
MCU	Microcontroller Unit	微控制单元
ASIC	Application Specific Integrated Circuit	专用集成电路
LNA	Low Noise Amplifier	低噪声放大器
LPF	Low Pass Filter	低通滤波器
ADC	Analog-to-Digital Converter	模数转换器
TX	Transceiver	收发单元
DSP	Data Signal Processing	数字信号处理
PMU	Power Management Unit	功率管理单元
CMRR	Common Mode Rejection Ratio	共模抑制比
FDA	Food and Drug Administration	食品药品监督管理局
IA	Instrumentation Amplifier	仪表放大器
CCIA	Capacitance-Coupled Instrument Amplifier	电容耦合仪表放大器
PSRR	Power Supply Rejection Ratio	电源抑制比
VGA	Variable Gain Amplifier	可变增益放大器
AP	Action Potential	动作电位
LFP	Local Field Potential	局部场电位

---

OPA	Operational Amplifier	运算放大器
OFDM	Orthogonal Frequency Division Multiplexing	正交频分复用
TDM	Time Division Multiplexing	分时复用
ACI	Adjacent Channel Interferer	相邻通道间串扰
SNR	Signal-to-Noise Ratio	信噪比
OCDM	Orthogonal Code Division Multiplexing	正交码分复用
CMP	Comparator	比较器
DDA	Differential Difference Amplifier	全差分差动放大器
OTA	Operational Transconductance Amplifier	运算跨导放大器
SA Logic	Successive Approximation Logic	逐次逼近逻辑
VCDL	Voltage-Controlled Delay Line	压控延迟线
PFD	Phase/Frequency Detector	鉴频鉴相器
VCO	Voltage-Controlled Oscillator	压控振荡器
BJT	Bipolar Junction Transistor	双极型晶体管
FVFB	Flip Voltage Follower Based	基于反向电压跟随器的
PTAT	Proportional To Absolute Temperature	与绝对温度成正比
NMOS	N-type Metal Oxide Semiconductor	N型金属氧化物半导体
PMOS	P-type Metal Oxide Semiconductor	P型金属氧化物半导体
THD	Total Harmonic Distortion	总谐波失真

# 目 录

第一章 绪论.....	1
1.1 研究背景及研究意义.....	1
1.2 脑电信号采集芯片的国内外研究现状 .....	2
1.3 本文研究目标和内容.....	5
第二章 脑电信号特征及其采集与调理技术原理 .....	7
2.1 脑电信号的概述.....	7
2.2 信号调理电路放大器的基本结构介绍 .....	8
2.3 多通道斩波技术信号调理电路介绍 .....	10
2.3.1 斩波调制的基本原理.....	10
2.3.2 传统多通道斩波技术信号调理电路架构 .....	12
2.4 多通道复用方案的分析与介绍 .....	13
2.4.1 正交频分复用(OFDM) .....	13
2.4.2 分时复用(TDM) .....	14
2.4.3 正交码分复用(OCDFM) .....	15
2.5 多通道下电容面积的优化 .....	18
2.6 本章小结.....	20
第三章 多通道信号调理电路的系统设计与分析 .....	21
3.1 基于 Walsh-Hadamard 编码的正交码分复用信号调理电路 .....	22
3.2 双斩波调制技术.....	24
3.3 基于逐次逼近的输入电容校准环路 .....	28
3.3.1 输入电容校准环路的基本原理.....	28
3.3.2 输入电容校准环路的电路结构.....	30
3.4 电流复用共源共栅 LNA 和 VGA.....	33
3.4.1 电流复用共源共栅 LNA .....	33
3.4.2 电流复用共源共栅 VGA.....	34
3.5 四阶 Gm-C 低通滤波器.....	36
3.6 基于 DDA 结构的输入阻抗提升 Buffer .....	37
3.7 其他基础单元电路.....	38
3.7.1 改进的电流模基准源电路.....	38
3.7.2 时钟振荡器电路.....	39
3.7.3 基准电流源电路.....	40
3.8 本章小结.....	41
第四章 整体电路版图实现与后仿真验证 .....	43
4.2 整体电路的版图实现.....	43

4.3 关键单元电路的后仿真验证 .....	44
4.3.1 LNA 单元的交流特性仿真 .....	44
4.3.2 VGA 单元的交流特性仿真 .....	46
4.3.3 LPF 单元的交流特性仿真 .....	47
4.3.4 输入阻抗提升 Buffer 单元的交流特性仿真 .....	48
4.3.5 改进的电流模基准源单元的温度特性仿真 .....	49
4.4 整体电路的后仿真验证 .....	49
4.4.1 信号调理电路的整体电路频率响应 .....	49
4.4.2 信号调理电路的噪声特性仿真 .....	50
4.4.3 信号调理电路的输入阻抗特性仿真 .....	51
4.4.4 信号调理电路的时钟信号仿真 .....	52
4.4.5 校准模式下信号调理电路的整体电路瞬态仿真 .....	53
4.4.6 正常工作模式下信号调理电路的整体电路瞬态仿真 .....	55
4.4.7 信号调理电路的通道间增益失配仿真 .....	57
4.4.8 信号调理电路的整体功耗 .....	58
4.5 信号调理电路的性能对比 .....	58
4.6 本章小结 .....	59
第五章 总结与展望 .....	61
5.1 设计总结 .....	61
5.2 研究展望 .....	62
参考文献 .....	63

## 第一章 绪论

### 1.1 研究背景及研究意义

根据《中国心血管健康与疾病报告 2021》<sup>[1]</sup>, 2019 年农村、城市中心血管病(CVD) 分别占死因的 46.74%和 44.26%。持续增加的 CVD 负担, 使得我国的疾病防治策略和对资源的有效配置等多方面的需求在人口老龄化的压力下受到了严重的影响。由于 CVD 中的心肌梗死、脑卒中等类型疾病在患病初期多为隐匿发生, 因此常常在检出时就已经导致血管病变。越来越多的证据表明, 心血管健康状态的评估和早期病理变化消除的防治研究亟待加强, 研究出最佳、高效和快速的医疗保健解决方案极为必要。而由于传统的健康监测设备通常体积庞大, 耗电量大, 造价高, 这在增加医疗支出的同时, 也给人们带来了较差的日常体验感<sup>[2]</sup>。得益于近年来 MEMS、CMOS 和无线技术的不断进步, 各种可穿戴或可植入式的生物医学设备通过微创甚至无创技术便可以实现对人体生物医疗信号的测量和身体组织的刺激<sup>[3]</sup>, 并通过链路无线互连, 形成一个无线体域网络(WBAN), 该网络可以被设想为物联网的一个组成部分, 可以将重要的医疗信息传输给医生, 以便立即进行医疗干预, 如图 1.1 所示。WBAN 系统的使用不仅限于医疗保健领域, 还可用于军事和太空训练等<sup>[4]</sup>。

作为人体生物医疗信号获取种类之一的脑电信号(EEG)获取对于理解和诊断癫痫发作等神经系统疾病、创建脑机接口(BCI)以及研究神经修复技术以帮助瘫痪患者至关重要<sup>[5]</sup>。最先进的 EEG 记录系统主要包括: 低噪声放大器(LNA)、低通滤波器(LPF)、模数转换器(ADC)、射频收发单元(TX)、数字信号处理(DSP)和电源管理单元(PMU)<sup>[6]</sup>。信号记录系统通过电极阵列获取多通道脑电信号, 并对获取到的电信号进行低噪声放大、滤波, 经过 ADC 完成信号的数字化, 并对信号进行调制等无线传输前的操作, 经过射频收发单元实现信号到终端的传输。最后, 终端对接收到的信号进行相对应的处理并转化为波形信号。其中, PMU 负责为信号记录系统内各个电路单元提供电源支持。在隐私许可下, 被医生或者监控者可以了解到终端获得的信号, 并进行相对应的诊断与预防。不断增加的通道数量和电极阵列要求下一代可穿戴或可植入式高密度脑电信号传感系统必须是多通道和低功耗的, 而这种传感系统内的集成前端放大器成为了信号检测和预处理的关键元件<sup>[7]</sup>。前端放大器不仅决定脑电信号获取的保真度, 还影响功耗和检测器尺寸。因此设计合适的多通道脑电信号记录系统必须解决以下关键问题: (1)最小功耗。在严格的功率预算下设计大量低噪声放大器(通常每个通道一个)<sup>[8]</sup>, 以延长电池供电设备的寿命, 并保持散热良好, 以免对组织造成伤害<sup>[9]</sup>。(2)低输入参考噪声。以检测低至  $\mu\text{V}$  的微弱脑电信号。(3)足够的输入带宽。以覆盖信号处

理过程中可能出现的有用频率分量。(4)高共模抑制比(CMRR)。以防止干扰源对脑电信号记录的干扰。(5)低通道间增益失配。避免不正确的纹波相减或错误结果,以及异常症状的错误识别。(6)低通道间串扰。提升信号的保真度。由于前端放大器要同时满足以上指标要求,这对设计人员提出了极高的要求,严重限制了各类可穿戴或可植入式生物医疗电子设备的发展。

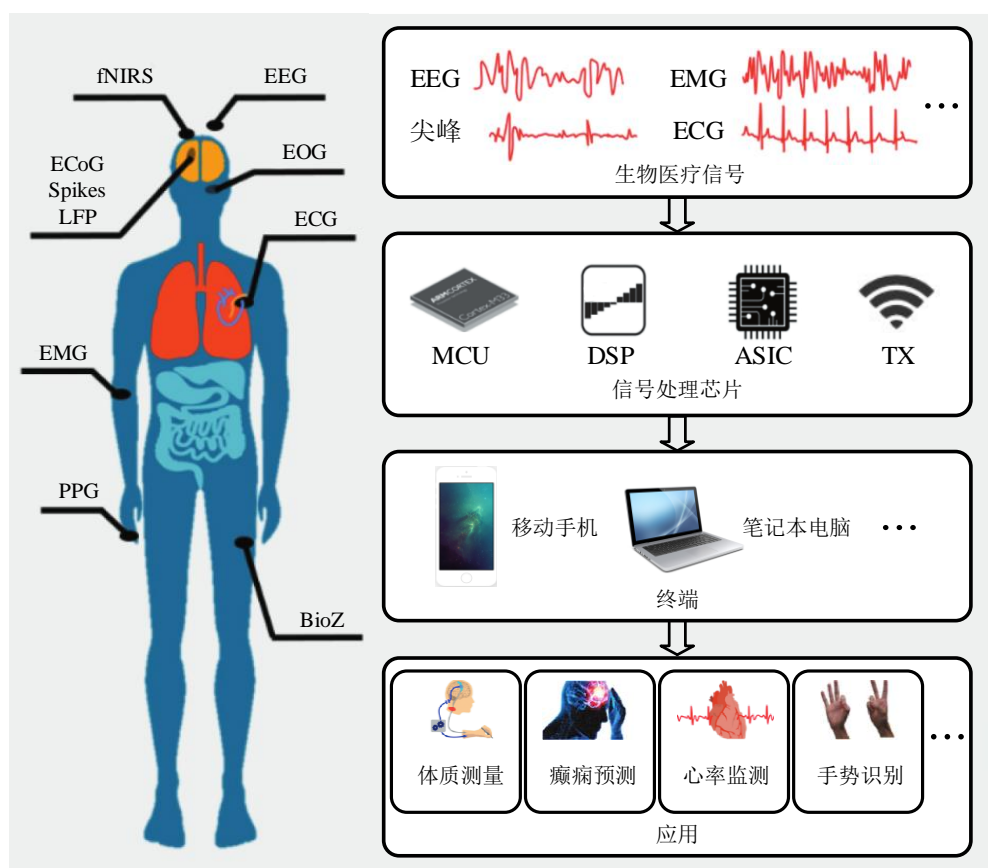


图1.1 基于可穿戴或可植入式设备的 WBAN 流程图

## 1.2 脑电信号采集芯片的国内外研究现状

随着临床级可穿戴或可植入式生物医疗信号监测设备应用需求的急剧增加,摩尔定律带来的器件尺寸的不断减小,以及生物电极适配性的不断提升,可穿戴或可植入式脑电信号采集与处理芯片的研发也得到了国内外生物医疗设备公司以及学术界众多研究人员的关注。

首先是由全球脑机接口技术领导者 Blackrock Neurotech 研发的开创性脑机接口设备 MoveAgain 已被 FDA 授予了突破性设备。该设备可以让无法移动的患者能够通过思考来控制各种常见移动设备,比如鼠标、键盘、假肢设备,甚至是平板电脑。另外,Elon Musk 的 Neuralink 脑机接口公司也在近些年得到了广泛关注,来自于该公

司的一项又一项突破性实验让人们看到了脑机接口在未来的无限可能，比如在 2019 年，Neuralink 发布了微型芯片和手术机器人，并在 2020 年，Neuralink 首次利用手术机器人在动物身上进行实验，在三只小猪的头上植入了芯片和电极，成功读取到了脑电信号。然而侵入性脑机接口与非侵入性脑机接口中哪一种是最优选仍是难以确定的，尽管近些年侵入式有了 Neuralink 发布的众多突破，但是体内生物电极与人体的排异反应仍是难以解决的问题，除此之外，当侵入式脑机接口技术尚在实验室接受验证的时候，非侵入式脑机技术已经开启了生命的更多可能性。比如，由哈佛大学创新实验室(Harvard Innovation Lab)的华人团队创立于 2015 年的 BrainCo(强脑科技)公司致力于成为全球领先的非侵入式脑机接口技术解决方案供应商，其发布的三项最新成果：BrainRobotics 智能仿生腿、应用于元宇宙的神经接口平台以及与中国康复研究中心国家孤独症康复研究中心联合的“孤独症儿童可穿戴脑电波康复系统研发”项目的临床终期结果，成功让无腿者跳舞、断臂者弹琴，开启了非侵入式脑机接口的新纪元。作为脑机接口领域学术奠基人的“脑机接口之父”米格尔·尼科莱利斯(Miguel Nicolelis)也于 2021 年宣布加入中国非侵入式脑机接口公司 BrainCo 任首席科学顾问，在康复、睡眠、教育等诸多领域探索脑机接口的应用落地，帮助更多人开启生命的可能性<sup>[10]</sup>。

不仅仅是商业公司对于脑电信号采集芯片设计具有高度认可，国内外学术界的众多研究人员也在为低功耗和高性能的脑电信号采集芯片的设计进行着不懈努力，以满足时代进步的发展要求。2017 年美国加利福尼亚大学的 H. Chandrakumar 等人<sup>[11]</sup>提出了新的技术来解决低输入阻抗和电极偏移抑制的问题。所设计的脑电记录斩波放大器在将输入阻抗提升至  $300\text{M}\Omega$  的同时，还能处理  $40\text{mVpp}$  的带内伪影，除此之外，还提高了  $14\text{-}26\text{dB}$  的线性度以及  $11\text{-}28\text{dB}$  的动态范围，并在  $1.2\text{V}$  电源下消耗  $2\mu\text{W}$  的功耗，输入参考噪声在  $1\text{-}200\text{Hz}$  范围内为  $2\mu\text{Vrms}$ 。2018 年加拿大魁北克克拉瓦尔大学的 M. Rezaei 等人<sup>[12]</sup>提出了一种新的电流复用信号调理电路，该前端可扩展到非常多的记录通道，这得益于其较小的硅面积和低功耗。每个通道(包括 LNA 和 PGA 级)的总功耗为  $9\mu\text{W}$ ，输入参考噪声为  $3.2\mu\text{Vrms}$ ，测量的 NEF 为 1.94，每个通道占用  $0.072\text{mm}^2$  的管芯面积，并具有  $-54\text{dB}$  的通道间串扰抑制比。2019 年，韩国高级科学技术研究院的 Jaehyuk Lee 等人<sup>[13]</sup>提出了一种完全集成在小耳塞中的低功耗入耳式脑机接口 BCI 控制器系统。包含三个关键特征：(1) 低功耗电流复用低噪声放大器；(2) 自举直流伺服环路，即使在  $350\text{mV}$  电极直流偏移上也能实现低噪声测量；(3) 双模可编程增益放大器，其通过仅在存在有意识的闪烁时才激活 TX 单元来降低 TX 功耗。EEG 仪表放大器(IA)显示了最先进的 8.8 功率效率因数性能，整个集成电路消耗  $82.9\mu\text{W}$ 。爱尔兰的 P. Khatavkar 等人<sup>[14]</sup>提出了一种用于生物医疗信号采集的多频斩波调制的超低功耗低噪声信号调理电路。多频斩波调制技术通过在单个低噪声仪表放大器中对两个信道进行频分复用，有助于显著降低功耗。双通道信号调理电路分别以  $4\text{kHz}$  和  $8\text{kHz}$

的频率斩波, 在 IA 的第一级采用了电流复用技术, 以实现面积节省并改善通道间隔离。测试结果表明, 该信号调理电路实现了  $130\text{nV}/\sqrt{\text{Hz}}$  的输入参考噪声电压密度, 在  $1.2\text{V}$  电源电压下消耗的每通道电流为  $360\text{nA}$ ,  $1/f$  噪声转角频率约为  $10\text{Hz}$ ,  $\text{CMRR}$  为  $98\text{dB}$ 。新加坡国立大学的 Tao Tang 等人<sup>[15]</sup>在 2020 年提出了一种具有全集成面积有效右腿驱动电路的多通道生物电位记录信号调理电路。所提出的信号调理电路包括 10 个通道的低噪声电容耦合仪表放大器、一个共享的 10 位 SAR ADC 和一个完全集成的右腿驱动电路, 以提高系统级  $\text{CMRR}$ 。在右腿驱动电路中可以使用具有较小平均电容器的面积有效单位增益缓冲器, 以显著减小电路面积。所提出的信号调理电路右腿驱动电路减少了 85% 以上的芯片面积, 最大系统级  $\text{CMRR}$  提高了  $60\text{dB}$ 。在  $1.0\text{V}$  电源电压下, 每通道电流消耗为  $1\mu\text{A}$ 。  $1\text{Hz}$ – $10\text{kHz}$  范围内测得的信号调理电路输入参考噪声为  $4.2\mu\text{Vrms}$ , 最大系统级  $\text{CMRR}$  为  $110\text{dB}$ 。2022 年, 韩国蔚山国立科学技术研究所 Yongjae Park 等人<sup>[16]</sup>提出了一种用于生物电位监测信号调理电路的电容耦合仪表放大器(CCIA), 该放大器具有自动校准的双正反馈环路。所提出的具有自动校准的双正反馈环路的信号调理电路不仅防止了由预期之外的外部和内部寄生电容引起的总输入阻抗退化, 而且同时实现了优异的噪声效率。在  $1\text{V}$  和  $1.5\text{V}$  电源电压下每通道消耗  $3.83\mu\text{W}$ , 在  $0.5\text{--}300\text{Hz}$  范围内等效输入参考噪声为  $0.36\mu\text{Vrms}$ , 噪声效率系数为 1.54。所提出的信号调理电路即使在  $82\text{pF}$  的附加电容下, 也实现了  $10\text{Hz}$  时  $15\text{G}\Omega$  和  $50\text{Hz}$  时  $2\text{G}\Omega$  的高输入阻抗。美国德克萨斯州达拉斯市南卫理公会大学的 Liang Fang 等人<sup>[17]</sup>为了解决斩波技术下 CCIA 的两个局限性(斩波纹波的存在、有限的输入阻抗), 提出了一种新的斩波纹波降低技术, 该技术使用动态偏移调零, 以可忽略的面积、噪声和功率损失将上调制纹波显著降低  $61\text{dB}$ 。此外, 提出了一种带有三端变容管的正反馈回路, 将 CCIA 输入阻抗提高到  $1.2\text{G}\Omega$ 。使用这两种技术后, 放大器输入参考噪声密度为  $13\text{nV}/\sqrt{\text{Hz}}$ 。

国外研究人员的研究成果对脑电信号采集芯片的研究和发展提供了众多参考, 与此同时, 虽然国内的研究起步相对较晚, 但是对于该领域的研究热度同样很高, 并获得了较多的学术成果。台湾大学的 Yi-Lin Tsai 等人<sup>[18]</sup>在 2015 年采用正交频率斩波技术, 仅用一个有源放大器实现了连续双通道 CCIA 模型,  $-83.2\text{dB}$  的串扰结果展示了良好的通道间串扰抑制效果。该双通道 IA 从  $3\text{V}$  电源汲取  $27\mu\text{A}$  电流, 占据  $0.061\text{mm}^2$  的有源面积, 实现了  $26\text{nV}/\sqrt{\text{Hz}}$  的低输入参考噪声, 3.74 的合理噪声效率系数, 以及小于 0.55% 增益失配的良好增益匹配。2018 年香港科技大学的 Jiawei Zheng 等人<sup>[19]</sup>提出了一种具有积分采样器和数字辅助电极偏移消除环路的低功耗全集成信号调理电路, 该芯片在  $1.2\text{V}$  电源电压下, 实现了  $58\text{dB}$  的带内增益以及  $46\text{nV}/\sqrt{\text{Hz}}$  的噪声频谱密度, 并且可以容忍  $\pm 60\text{mV}$  的电极偏移。2020 年上海复旦大学的 Liangjian Lyu 等人<sup>[20]</sup>提出了一种用于脑电记录的 8 通道信号调理电路, 该信号调理电路的输入级采

用低压电源(0.35V)和电流复用技术,以实现超低功率,并提出了复制偏置方案,以在大电源干扰的情况下为 LNA 的输入级产生稳定的偏置电流,还利用四极管记录中的信号特性,引入了平均局部场势伺服环路,以扩展动态范围,而不消耗太多额外的功率和芯片面积。包括 LNA 和 PGA 的每个记录通道占用  $0.04\text{mm}^2$  面积,并且在 0.35V 和 0.7V 电源下消耗 340nW。由四个记录通道共享的每个平均局部场势伺服环路占用  $0.04\text{mm}^2$ ,消耗 190nW。信号调理电路的最大增益为 54 dB,在 0.5Hz 至 6.5kHz 的通带上,输入参考噪声为  $6.7\mu\text{Vrms}$ ,可以容忍高达 200mVpp 的干扰,并将电源抑制比(PSRR)提高到了 110dB。电子科技大学的 Sanfeng Zhang 等人<sup>[21]</sup>在 2021 年提出了一种用于 CCIA 的 CMRR 增强技术,通过改进的斩波结构来减轻伪电阻器的失配效应,并开发了基于逐次逼近的电容器微调环路。放大器从 1.2V 电源汲取  $2.3\mu\text{A}$  电流,在 0.5–400 Hz 范围内输入参考噪声为  $3.2\mu\text{Vrms}$ ,并在 50 和 60 Hz 下实现了大于 110 dB 的 CMRR,而无需任何芯片外调谐。东南大学的 Zhijun Zhou 等人<sup>[7]</sup>在 2022 年提出了一种无需外部控制电路即可提高 CMRR 的替代解决方案——伪差分逆变器。通过将单端反相器的输入晶体管平均分成两个并并联连接(复用有源负载),以提供反馈路径来动态地减少共模干扰。相对于单端拓扑结构,CMRR 得到了很大的改进(大约提高了 75%),而管芯面积和功耗没有显著增加。所提出的仪表放大器在 100 Hz 时提供约 117 dB CMRR、 $1.5\text{G}\Omega$  输入阻抗,并消耗  $8.3\mu\text{W}$  的功耗。

### 1.3 本文研究目标和内容

本文提出了一种应用于脑电信号采集的多通道信号调理电路设计。所提出的基于 Walsh-Hadamard 编码的正交码分复用方案将各通道信号进行正交码分复用调制并在合并后通过复用的低噪声放大器(LNA)和可变增益放大器(VGA),有效地降低了多通道下信号调理电路的整体功耗和面积,同时利用了码分复用方案的正交特性实现了较低的通道间串扰。为了解决多频斩波调制下通道间输入阻抗不匹配的问题,本文提出了一种双斩波调制技术,通过在各通道的输入电容前加入第一级相同频率的斩波调制,而在第二级仍采用正常的正交码分复用斩波调制,在保证正交码分复用方案能够实现的同时,有效地解决了通道间等效输入阻抗不匹配的难题。为了在降低整体电容面积的同时,保证通道间增益的匹配度,本文提出了一种基于逐次逼近的输入电容失配校准方案,在较小的输入电容前提下,通过对输入电容进行校准,同时各通道复用第一级 LNA 的反馈电容,有效地提升了通道间的增益匹配度。此外,还基于全差分差动放大器提出了输入阻抗提升技术,有效地提升了信号调理电路的等效输入阻抗。

本文共分为以下五个章节:

第一章为绪论。首先对生物医疗信号获取的研究背景以及研究意义进行了简要介

绍，随后介绍了目前脑电信号采集芯片的研究现状，为后续研究奠定了基础。

第二章为应用于脑电信号采集的信号调理电路的基础原理及信号特征的分析与介绍。首先介绍了脑电信号的基本特征，随后对放大器的基本结构进行了介绍，其次对目前常用的多通道复用方案进行了分析与介绍，最后对目前多通道下电容面积的优化方案进行了分析与介绍。

第三章为所提出的应用于脑电信号采集的信号调理电路的系统设计与分析。首先介绍了基于 Walsh-Hadamard 编码的正交码分复用信号调理电路的基本原理与实现方式，随后介绍了本文所提出的双斩波调制技术的原理与实现，其次介绍了本文所提出的基于逐次逼近的输入电容校准环路的原理与实现，最后介绍和分析了本文所采用的 LNA、VGA、LPF 以及其他基础单元电路的原理与实现。

第四章为版图实现和仿真验证。基于 65nm 标准 CMOS 工艺对所设计的应用于脑电信号采集的多通道信号调理电路进行了版图实现，并对关键单元和整体电路进行了功能验证与性能仿真，最后给出了与现有部分文献的性能对比。

第五章是总结与展望。首先对本文设计的应用于脑电信号采集的多通道信号调理电路进行总结，随后分析本设计尚存的问题和不足，并对后续研究进行展望。

## 第二章 脑电信号特征及其采集与调理技术原理

本章首先详细介绍了脑电信号的基本特征，其次基于脑电信号的特征对常用低噪声放大器的结构进行了介绍与分析，然后对目前的多通道复用方案进行了介绍与分析，并给出了本文最终选择正交码分复用方案的理由，最后为了解决正交码分复用方案下输入电容面积较大的问题进行了 T 型电容结构的介绍与分析。

### 2.1 脑电信号的概述

脑电信号是由动作电位(AP)和局部场电位(LFP)组成的重要的生物医疗信号<sup>[22]</sup>，其包括了用于诊断和治疗神经疾病的有用生物指标<sup>[23]</sup>。临床上一般通过生物电极获取脑电信号，并经由生物医疗信号处理芯片进行放大、滤波等操作。根据生物电极采集位置的不同，获取到的脑电信号特征也不同，如表 2.1 所示。

表2.1 脑电信号的总体特征

采集位置	信号幅值 ( $\mu\text{V}$ )	信号频率 (Hz)
头皮	10-200	0.1-100
颅内	100-500	

根据频段的不同，脑电信号又分为  $\delta$  波， $\theta$  波， $\alpha$  波和  $\beta$  波四个频段，如表 2.2 所示<sup>[24]</sup>。

表2.2 脑电信号的频段划分

波段	频率范围(Hz)
$\delta$	0.1-4
$\theta$	4-8
$\alpha$	8-15
$\beta$	15-100

由表 2.1 和 2.2 可以看出，脑电信号的特点是幅值极低，频率极低，因此对信号调理电路的要求很高。虽然颅内采集的脑电信号幅值相对较高，要求会相对宽松，但是目前大多数生物电极在人体内的排斥反应还难以抑制，因此临床上仍倾向于采用头皮位置的脑电信号采集。头皮位置采集的脑电信号经由电极与人体等实际环节传递后，

可以在  $10\text{-}200\mu\text{V}$  内波动, 因此信号调理电路在脑电信号带宽内的积分噪声必须小于  $10\mu\text{V}$ 。噪声的主要来源分为环境中噪声和电路内噪声两部分。环境中存在的噪声, 包括人体内和外界环境的噪声等; 电路内噪声主要包括电阻的热噪声以及 MOS 器件的热噪声和  $1/f$  噪声。环境中的噪声需要通过外部手段加以控制, 而在本设计中需要重点注意电路内噪声。由于脑电信号的频率很低, 所以由 MOS 器件带来的  $1/f$  噪声是最重要的部分。虽然通过增大 MOS 管的面积可以将 MOS 器件带来的  $1/f$  噪声降低, 但是  $1/f$  噪声的降低效果与芯片面积之间有一定的折衷。因此为了实现较小面积的芯片设计, 需要利用相关技术将  $1/f$  噪声降低。考虑到脑电信号幅值极低, 且有一定范围, 因此信号调理电路的整体增益一般要求达到  $60\text{dB}$ , 并保证具有一定的增益可变范围, 以满足放大后量化的条件。为了更加全面地了解大脑的神经功能和网络, 需要一个更高空间分辨率的记录系统, 而每过七年时间, 脑电接口中同时记录通道的数量就增加一倍<sup>[25]</sup>。因此, 需要在系统层面进行创新开发, 以支持由于记录通道数量的增加所带来的新的严格限制, 比如减少信息丢失、降低通道间增益失配以及最为重要的功耗和面积的制约等。除此之外, 在采集脑电信号时, 经常还会受到来自人体以及环境因素的各种干扰, 比如运动产生的伪影干扰; 电极与人体之间的阻抗变化干扰; 基站引入的高频干扰; 交流电引入的工频干扰; 来自于人体的其他生物电信号的干扰等。因此在信号调理电路的设计过程中不仅需要实现多通道的低噪声放大功能, 还要具有高共模抑制比、高电源抑制比以及相应的电路单元来对基线漂移和电极干扰进行抑制, 此外还需要使用滤波器来滤除可能引入的高频干扰等。

## 2.2 信号调理电路放大器的基本结构介绍

传统运算放大器通常是由多级放大电路组成, 其中, 输入级采用具有高输入阻抗和零漂抑制能力的差分放大电路, 中间级放大电路具有较高的增益, 最后由具有较强带载能力和较低输出阻抗的电路作为输出级。仪表放大器的典型结构是三运放结构, 如图 2.1(a)所示<sup>[26]</sup>。该结构放大器具有较大的共模抑制比, 可以有效抑制人体共模信号对信号采集造成的干扰。在实际工艺下, 由于电阻  $R_f$ 、 $R_3$ 、 $R_4$  和  $R_5$  之间存在一定的失配, 这使共模抑制比有所降低。除此之外, 运放  $A_1$ 、 $A_2$  之间在实际条件下也会存在失配, 进而降低共模抑制比。更为重要的是, 三运放结构需要较多的电阻, 而电阻的面积和噪声并不适用于生物医疗信号调理电路的设计。

目前常见的应用于生物医疗信号采集的信号调理电路放大器结构主要有电容耦合放大器结构、电流反馈放大器结构、自稳零放大器结构和斩波稳定放大器结构等, 接下来对这四个常用结构进行介绍与分析。

(1) 电容耦合放大器的结构如图 2.1(b)所示<sup>[27]</sup>。

电容耦合放大器结构采用电容耦合以及电容反馈，避免了电阻耦合和电阻反馈带来的热噪声影响，其共模抑制比主要由内部运算放大器的晶体管级匹配和外部电容的匹配决定<sup>[28]</sup>。电容耦合而导致的高通特性可以实现轨对轨级别的直流偏移电压消除能力，这避免了内部直流伺服环路的设计要求，然而作为输入电容，其电容值要在  $\mu\text{F}$  量级时才具有正常的放大功能，若电容值较低，则会导致信号的损耗。除此之外，该电容耦合放大器结构在并未采用特殊手段时，也无法在结构上减小  $1/f$  噪声的影响，这降低了信号的完整性，无法直接应用于脑电信号等极低幅值和频率的信号放大应用。

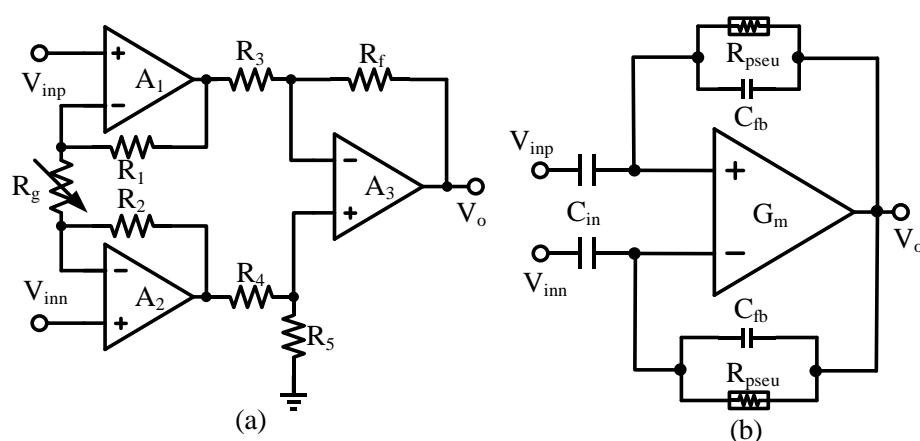


图2.1 放大器结构：(a)仪表放大器的典型结构；(b)电容耦合放大器结构

(2) 电流反馈放大器结构的简化电路如图 2.2(a)所示<sup>[29]</sup>。

电流反馈放大器结构可以使得其共模抑制比免受电阻匹配精度的影响，这是因为其增益由两个电阻的比值  $R_{\text{out}}/R_{\text{in}}$  确定，输入电压信号通过电阻  $R_{\text{in}}$  转换为电流  $I_1$ ，经过复制，通过电阻  $R_{\text{out}}$  转换成输出电压信号。同时，由于不用驱动很低的电阻，其功耗也会有所降低<sup>[30]</sup>。但是其共模抑制比仍然受到 MOS 管等器件匹配的约束，与此同时，在无特殊手段的条件下， $1/f$  噪声的影响仍然无法避免，因此若要在低频下实现较低的噪声，则需要在功耗上付出较大的代价<sup>[31]</sup>，这是应用于脑电信号采集的信号调理电路无法容忍的。

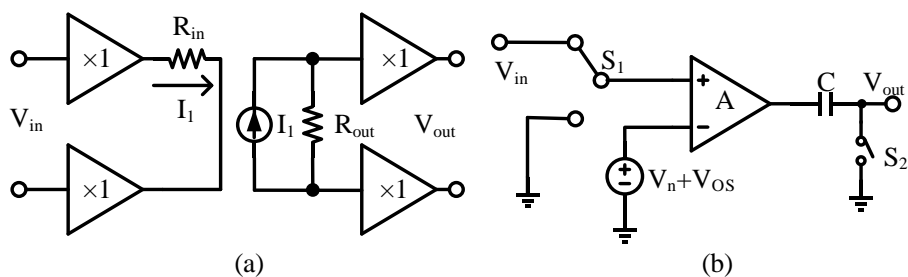


图2.2 放大器结构：(a)电流反馈放大器的简化电路；(b)自稳零放大器结构

(3)自稳零放大器结构的电路如图 2.2(b)所示<sup>[32]</sup>。

自稳零技术作为采样技术的一种,其通过将噪声和失调电压采样并存储于电容节点上,然后将直流失调电压或者低频的  $1/f$  噪声从有用信号中减去,便能够有效处理低频的噪声干扰。然而,自稳零技术的缺点是无法处理一直变化着的基底白噪声,甚至其基底白噪声还会有所增加。除此之外,自稳零技术在时间上是离散的,这对于连续性脑电信号采集的影响较大。尽管自稳零技术存在噪声混叠和时域离散性的缺点,难以实现极低的噪声水平和连续信号获取,其也被广泛应用于各种电路中。

(4)斩波稳定放大器结构。

斩波稳定放大器结构与本质为采样技术的自稳零放大器结构不同,其通过调制技术首先将有用信号斩波调制到高频,然后经过夹杂着低频  $1/f$  噪声和直流失调的放大器单元并与噪声和直流失调进行合并,再经过第二次斩波调制将调制到高频的有用信号解调回基频,而低频的噪声和失调由于只经历了一次调制而被留到了高频,进而通过低通滤波器进行滤除后,便可以实现有用信号的低噪声放大。而与之前的降低噪声的技术相比,斩波放大器结构仅需要额外的斩波开关和一定的放大器带宽消耗,便可以实现连续的低噪声放大功能,是具有较高实用性的,因此目前用于生物医疗信号放大的低噪声放大器结构大多采用斩波稳定放大器结构。该技术的具体原理将在 2.3 节中详细阐述。

## 2.3 多通道斩波技术信号调理电路介绍

为了抑制在输入信号带宽内影响极为严重的器件  $1/f$  噪声,传统上通常采用采样技术和斩波技术。这两种技术都能有效地降低放大器的  $1/f$  噪声,然而时域离散性的采样技术会为连续信号引入噪声折叠,因此并不适用于低噪声和连续的放大器设计<sup>[33]</sup>。虽然修调可以用来弥补噪声折叠,但需要额外的测试基础设施和芯片上的存储器组件<sup>[34]</sup>。因此,本文的设计将采用斩波技术来降低  $1/f$  噪声的影响。

### 2.3.1 斩波调制的基本原理

斩波调制的原理图如图 2.3 所示<sup>[32]</sup>,假设  $V_{IN}$  为输入信号,运放 OPA 为理想运放,其失调和噪声等效为  $V_{OS}+V_N$ ,调制信号  $m(t)$  为占空比 50%、频率  $f_c$  的方波信号,为了避免信号混叠,斩波频率应至少为输入信号带宽的两倍。斩波时钟的傅里叶变换可以表示为:

$$m(t) = 2 \sum_{k=1}^{\infty} \frac{\sin(\frac{k\pi}{2})}{\frac{k\pi}{2}} \cos(2\pi f_c kt) \quad (2-1)$$

输入信号  $V_{IN}(t)$  首先被方波  $m(t)$  调制到  $m(t)$  奇次谐波上。  $V_{OS}$  和  $V_N$  为失调和噪声, 主要分布频率较低。被调制后的信号与失调和噪声叠加后得到节点的  $V_A(t)$  信号:

$$\begin{aligned} V_A(t) &= V_{IN}(t) \cdot m(t) + V_{OS} + V_N \\ &= 2V_{IN}(t) \sum_{k=1}^{\infty} \frac{\sin(\frac{k\pi}{2})}{\frac{k\pi}{2}} \cos(2\pi f_c kt) + V_{OS} + V_N \end{aligned} \quad (2-2)$$

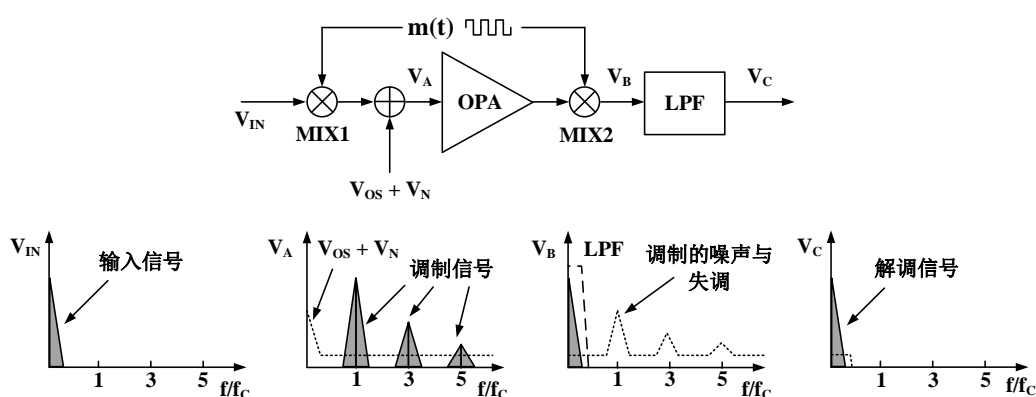


图2.3 斩波调制的基本原理

设 OPA 的传输函数为  $H(t)$ , LPF 传输函数为  $F_L(t)$ 。调制后的信号和噪声与失调一起被 OPA 放大, 并在 MIX2 处进行二次调制, 此时有用信号被调回基频, 而噪声和失调由于仅被调制一次而被调制到了高频, 得到节点的  $V_B(t)$  信号:

$$\begin{aligned} V_B(t) &= V_A(t) \cdot m(t) \\ &= 4H(t)V_{IN}(t) \sum_{k=1}^{\infty} \frac{\sin(\frac{k\pi}{2})}{\frac{k\pi}{2}} \cos(2\pi f_c kt) \sum_{j=1}^{\infty} \frac{\sin(\frac{j\pi}{2})}{\frac{j\pi}{2}} \cos(2\pi f_c jt) + \\ &\quad 2(V_{OS} + V_N) \sum_{j=1}^{\infty} \frac{\sin(\frac{j\pi}{2})}{\frac{j\pi}{2}} \cos(2\pi f_c jt) \end{aligned} \quad (2-3)$$

再将解调后的信号  $V_B(t)$  信号经过低通滤波器 LPF, 以滤除被调制到高频的噪声与失调, 得到节点的  $V_C(t)$  信号:

$$\begin{aligned} V_C(t) &= V_{IN}(t) \cdot m^2(t) \cdot H(t) \cdot F_L(t) \\ &= A_{OPA} \cdot A_{LPF} \cdot V_{IN}(t) \end{aligned} \quad (2-4)$$

式中  $A_{OPA}$  为 OPA 的闭环增益,  $A_{LPF}$  为 LPF 的平带增益。为了保证信号的正常放大, LPF 的-3dB 截至频率需要大于信号的带宽。

### 2.3.2 传统多通道斩波技术信号调理电路架构

如图 2.4 所示, 以四通道为例, 传统多通道斩波技术信号调理电路架构中每个通道的信号链都由一组斩波开关、LNA、VGA 和 LPF 组成, 为了简化分析, 这里忽略了各个通道辅助环路的设计。

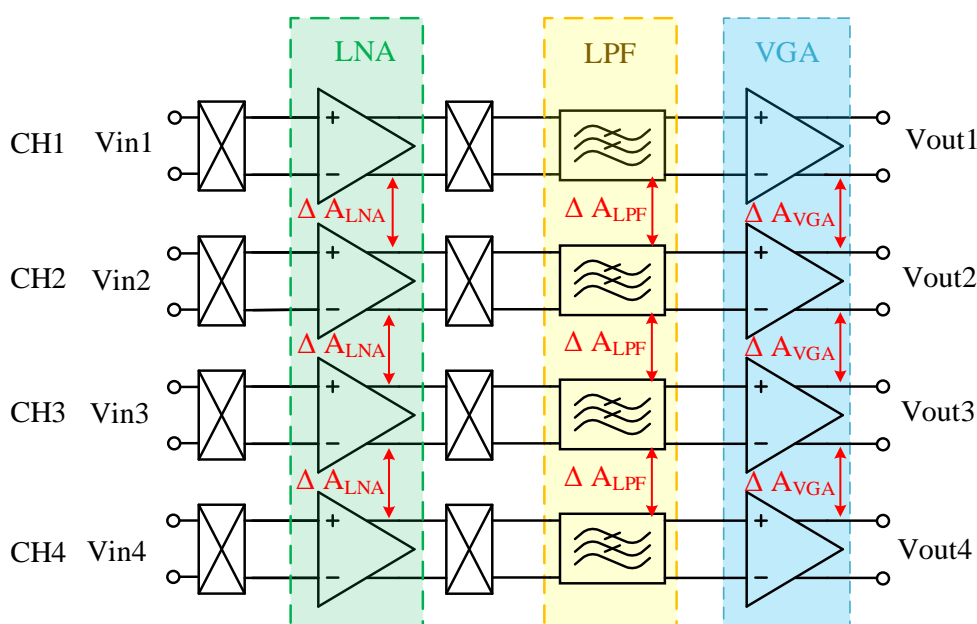


图2.4 传统多通道斩波技术信号调理电路架构

在功耗和面积分析上, 可以很明显的看出, 随着通道数的增加, 整体的功耗和面积也随之线性增加, 这极不利于可穿戴或可植入式脑电信号调理电路的应用要求。解决方法有两种, 第一种是在传统多通道斩波技术信号调理电路架构的基础上进行具体单元功耗和噪声的降低。以低噪声放大器为例, 功耗的指标与其他指标有着折衷的考虑, 比如噪声、带宽等, 因此单方面降低功耗总会影响着其他指标的设计。除此之外, 每条信号链辅助电路的存在对于功耗和面积的占用也是一笔不小的开销, 比如常用的直流伺服环路、输入阻抗提升环路、纹波抑制环路等。更重要的是, 通道间的增益失配问题在该架构下体现的尤为严重。如图 2.4 中所示, LNA、LPF 和 VGA 在各个通道之间都存在着增益失配  $\Delta A_{LNA}$ 、 $\Delta A_{LPF}$  和  $\Delta A_{VGA}$ , 以通道 1 和通道 2 为例, 假设通道 1 的各单元增益分别为  $A_{LNA}$ 、 $A_{LPF}$ 、 $A_{VGA}$ , 则通道 2 的各单元增益可以表示为  $A_{LNA} + \Delta A_{LNA}$ 、 $A_{LPF} + \Delta A_{LPF}$  和  $A_{VGA} + \Delta A_{VGA}$ 。两个通道的输入信号都为  $V_{IN}$ , 则各自的通道输出结果为:

$$CH1OUT = V_{IN} A_{LNA} A_{LPF} A_{VGA} \quad (2-5)$$

$$CH2OUT = \{ [V_{IN} (A_{LNA} + \Delta A_{LNA})] (A_{LPF} + \Delta A_{LPF}) \} (A_{VGA} + \Delta A_{VGA}) \quad (2-6)$$

对式(2-6)进行简化,可以得到:

$$CH2OUT = V_{IN} A_{LNA} A_{LPF} A_{VGA} + V_{IN} \cdot (\Delta A_{LNA} A_{LPF} A_{VGA} + A_{LNA} \Delta A_{LPF} A_{VGA} + A_{LNA} A_{LPF} \Delta A_{VGA}) \quad (2-7)$$

对式(2-5)和式(2-7)进行比较和分析,可以得到每个单元的增益失配被整个系统的增益加剧。传统上减小多通道间增益失配可以通过提升放大器的开环增益来增加闭环下的增益精度来实现,但是较大的开环增益也会导致功耗和面积的增加,并且提升的很有限。在电路设计和版图设计中,一般更注重单个电路单元的匹配,因此多通道电路单元之间的实际布局也很难完美匹配。

传统多通道斩波技术信号调理电路架构也具有一定的优势,比如通道间信号串扰在理想情况下是较低的,因为输入信号自电极进入信号链进行处理,再到信号链的输出过程中,各自通道间信号并未发生直接的混合。

因此,面对不断增加的通道数量,传统多通道信号调理电路架构很难适用于多通道脑电信号的调理要求。为此,各种通道间复用的技术被不断提出,在系统架构上直接对整体的功耗和面积等指标进行优化,为具体单元的设计省下了极大的指标裕量。接下来,本文将对目前比较经典的几种复用方案进行原理介绍与优缺点分析,并确定本设计所采用的复用方法。

## 2.4 多通道复用方案的分析与介绍

### 2.4.1 正交频分复用(OFDM)

频分复用是指在信号通过共享单元之前将每个信号调制到非重叠频率进行复用。在多通道生物医疗信号获取信号调理电路中为了避免其他通道调制信号的谐波影响,一般要求调制信号之间的正交性,称作正交频分复用。如图 2.5 所示,以两通道为例来展示 OFDM 的频域实现原理,原则上可以扩展到 N 通道的设计。在该电路中,两个斩波频率  $f_{CH1}$  和  $f_{CH2}$  分别用于调制和解调两个输入信号  $V_{IN1}$  和  $V_{IN2}$ ,同时共享一个低噪声放大器。可以观察到,如果  $f_{CH1}$  和  $f_{CH2}$  是正交的,则两个输出信号  $V_{O1}$  和  $V_{O2}$  仅包含相对于输入  $V_{IN1}$  和  $V_{IN2}$  的相应放大信号。来自相邻信道的串扰信号被移出基带,并且可以通过诸如低通滤波器的后续模拟信号处理电路来消除。为了确保此工作中的正交性,  $f_{CH1}=f_{chop}$ ,  $f_{CH2}=2f_{chop}$ 。如果  $f_{CH1}$  和  $f_{CH2}$  都是 50%占空比的方波信

号, 则第一斩波器将  $V_{IN1}$  调制为  $f_{chop}$  的奇数谐波, 出现在  $f_{chop}$ 、 $3f_{chop}$ 、 $5f_{chop}$  等处。同时, 将  $V_{IN2}$  调制为  $2f_{chop}$  的奇数谐波, 出现在  $2f_{chop}$ 、 $6f_{chop}$ 、 $10f_{chop}$  等处。在采用 OFDM 技术的  $N$  通道信号调理电路中, 斩波频率可以选择为  $f_{CHi} = (2^{i-1})f_{chop}$ ,  $i=1, 2, \dots, N$  (例如: 当  $N=4$  时,  $f_{CH1} = f_{chop}$ ,  $f_{CH2} = 2f_{chop}$ ,  $f_{CH3} = 4f_{chop}$ ,  $f_{CH4} = 8f_{chop}$ )。随着共享通道数量  $N$  的增加, 复用单个低噪声放大器带来的整体放大器数量的减少而导致的面积减少也在不断增加。另一方面, 共享低噪声放大器的设计要求更严格, 因为放大器的带宽必须适应更高的频率。 $N$  的最佳选择取决于给定系统中的主要设计考虑因素 (芯片面积或功率)。虽然以正交的信号频率  $2^N f_{chop}$  作为调制信号不仅可以避免其他通道调制信号的谐波影响, 而且省去了紧密偏移振荡频率的复杂生产电路, 但是被调制后的信号所覆盖的频谱范围较大, 最高达到  $2^N f_{chop}$  频率, 这要求放大器的带宽要足够大。当通道数增多时, 带宽以通道数的指数倍增长, 而放大器的带宽与功耗有着紧密的联系, 由此带来的功耗问题使得这一复用技术无法满足更多通道下的使用。

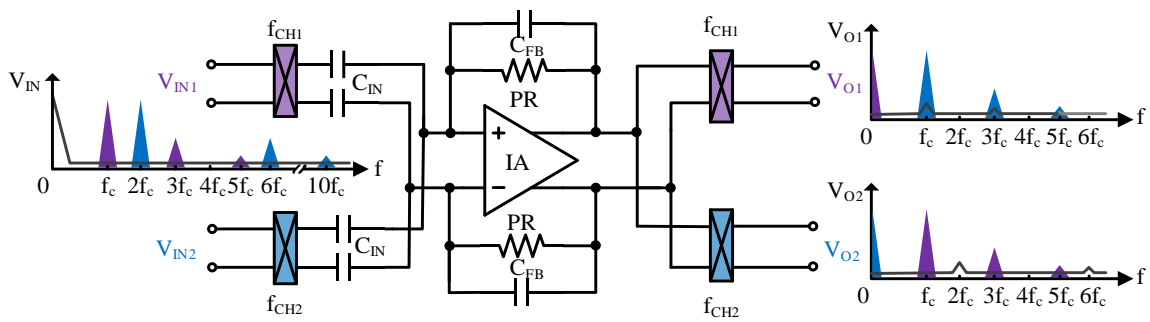


图2.5 双通道正交频分复用方案的原理图

## 2.4.2 分时复用(TDM)

TDM 以非重叠的时间间隔将各通道信号顺序复用到共享单元, 如图 2.6(a)所示。在图 2.6(b)所示的时序图中, 以  $T_s/N$  为最大窗口, 每  $T_s$  秒顺序复用一次各通道输入信号。当传递信号为数字信号时, 在给定的数据脉冲持续时间  $T_d$  下, 不丢失数据信息的要求为  $T_s \leq T_d$ 。由于 EEG 的 LFP 信号频率较低, 在调制信号频率远大于 LFP 信号带宽时(10 倍以上时, 可以较好的分离有用信号与  $1/f$  噪声), 为了保证信号处理的保真度, 相对低频的 LFP 信号要求  $T_s/N$  尽可能的小。虽然高频地通道间切换同样会带来放大器带宽增大问题, 但是这远远比不上正交频分复用方案带来的功耗增加。

TDM 的主要缺点在于其遭受相邻通道间串扰(ACI)的影响。如图 2.6 中所示, 若传输数据脉冲为  $d(t)$ , 由  $x_1$  至  $y_1$  的分时复用调制脉冲时序为  $m(t)$ , 则  $m(t)$  的脉冲宽度为  $T_s/N$ 。如图 2.7 中所示, 频谱图中的  $M(f)$  与  $D(f)$  的频谱宽度相比, 前者是后者的  $N$  倍(选取传输数据频谱最窄时  $T_s = T_d$  的情况为例)。当数据被调制并传送时, 输出为

$m(t) \times d(t)$ , 在存在 ACI 的情况下, 数据和干扰源都在复用单元后的输出端扩展了频谱, 导致不可恢复的频谱重叠。

TDM 的另一个缺点是信噪比(SNR)降低, 使用匹配滤波器的最大可实现 SNR 仅取决于数据脉冲的能量<sup>[35]</sup>, 对于 N 通道的分时复用系统而言, 通过缩短数据脉冲时间至原值的  $1/N$  倍来切换每个通道  $T_s/N$  时间的数据脉冲, 如图 2.6(b)所示, 这使得信号能量损失为  $1/N$  倍, 同样也导致信噪比损失为  $1/N$  倍。

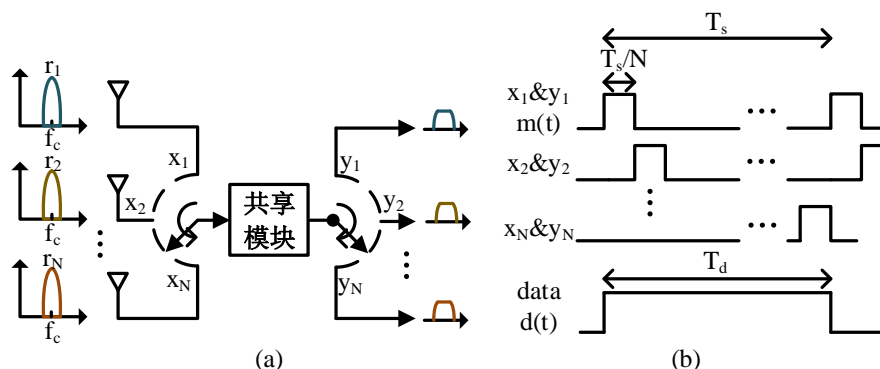


图2.6 分时复用方案: (a)原理图; (b)时序图

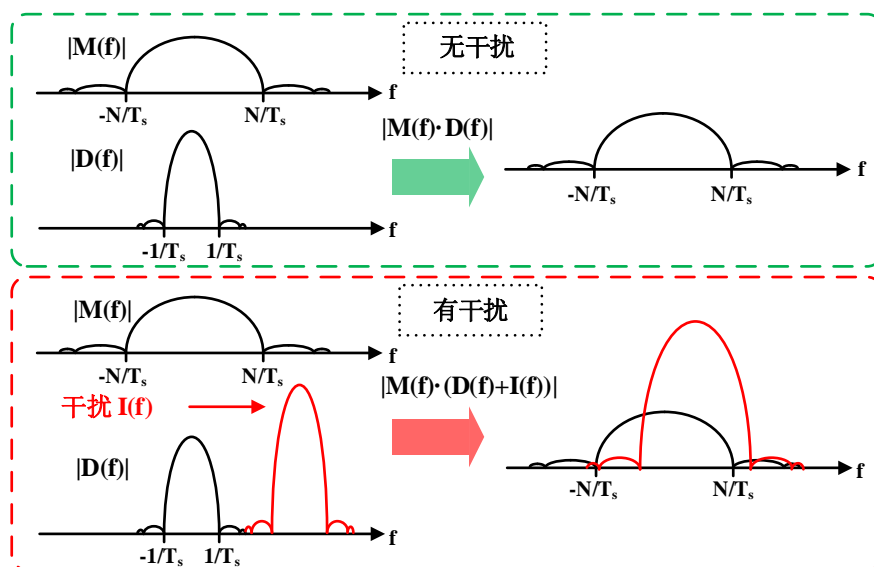


图2.7 分时复用方案中 ACI 的影响

### 2.4.3 正交码分复用(OCDM)

图 2.8 描述了在多通道生物医疗信号获取中使用 OCDM 的基本原理。每个通道信号首先与唯一对应的正交码相乘, 然后经过正交码调制后的信号被组合并通过共享单元放大。最后, 由具有相应正交解调码的解调单元 MFs 恢复其指定信号。为了了

解正交码调制和基带中的信号恢复的具体原理，将进行定量信号分析。为了简化信号分析而不失一般性，进行了以下假设：

- (1) 放大是线性的；
- (2) 着重于同相基带信号的推导，可以类似地使用同相和正交路径来计算到复数基带信号的扩展；
- (3) 分析中忽略了噪声；
- (4) 调制码和解调码之间假设完全同步。

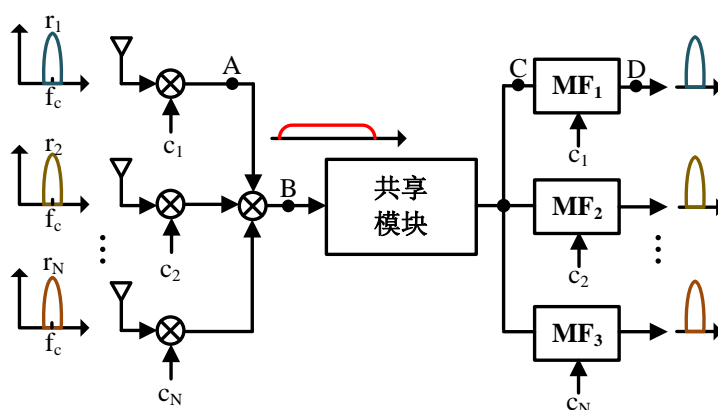


图2.8 正交码分复用方案的原理图

如图 2.8 所示，首先，第  $k$  个通道( $1 \leq k \leq N$ )的输入信号为  $r_k(t)$ ，然后将该信号乘以其指定的正交码  $c_k(t)$  和增益  $\alpha_k$ ，得到 A 点的信号  $r_{A,k}(t)$ ，可以表示为：

$$r_{A,k}(t) = \alpha_k \cdot c_k(t) \cdot r_k(t) \cdot \text{Re} \left[ e^{j2\pi f_c t} \right] \quad (2-8)$$

下一步，所有被调制后的信号  $r_{A,k}(t)$  ( $1 \leq k \leq N$ ) 在 B 点被合并，则 B 点输出信号  $r_B(t)$  可以表示为：

$$r_B(t) = \sum_{k=1}^N \alpha_k \cdot c_k(t) \cdot r_k(t) \cdot \text{Re} \left[ e^{j2\pi f_c t} \right] \quad (2-9)$$

码率比数据速率大，其比值  $G$  定义为  $G = T_d / T_c$ ，其中  $T_d$  是每个数据符号的周期， $T_c$  是编码周期。在正交码调制中， $G$  等于通道的数量。因此，在图 2.8 中，数据信号带宽被扩展。

合并后的信号被馈送到共享放大路径，并在 C 点输出  $r_C(t)$ ：

$$r_c(t) = \sum_{k=1}^N \alpha_k \cdot \beta_k \cdot c_k(t) \cdot r_k(t) \quad (2-10)$$

组合信号分别输出至对应的  $N$  个解调单元，其中，第  $k$  个解调单元的解调码与第  $k$  个通道的调制码相匹配。因此，第  $k$  个解调单元在第  $m$  个数据符号的输出可以表示为：

$$y_k(t) = \frac{1}{T_d} \int_{mT_d}^{(m+1)T_d} r_c(t) c_k^*(t) dt = \frac{1}{T_d} \int_{mT_d}^{(m+1)T_d} \left\{ \alpha_k \beta_k c_k(t) r_k(t) + \sum_{j=1, j \neq k}^N [\alpha_j \beta_j c_j(t) r_j(t)] \right\} \cdot c_k^*(t) dt \quad (2-11)$$

可以化简为：

$$y_k(m+1) = \alpha_k \beta_k r_k(m+1) + \sum_{j=1, j \neq k}^N [\alpha_j \beta_j r_j(m+1)] \cdot \rho_{jk} \quad (2-12)$$

其中， $y_k(m+1)$ ,  $r_k(m+1)$ ,  $r_j(m+1)$  分别表示  $y_k(t)$ ,  $r_k(t)$ ,  $r_j(t)$  在第  $m$  个数据符号积分间隔的结束值。特征码之间的互相关可以表示为：

$$\rho_{jk} = 1/T_d \int_{mT_d}^{(m+1)T_d} c_j(t) \cdot c_k^*(t) dt \quad (2-13)$$

而同一通道的正交码被归一化：

$$1/T_d \int_{mT_d}^{(m+1)T_d} c_k(t) \cdot c_k^*(t) dt = 1 \quad (2-14)$$

在公式(2-14)中，第一项表示第  $k$  个通道的恢复信号，而第二项表示来自其他通道信号的干扰。如果所有的特征码之间都是相互正交的，那么  $\rho_{jk}=0$ ，即只有第  $k$  个通道的信号被恢复。被恢复的信号可以进一步被处理，正交码分复用调制与解调的流程结束。

与 OFDM 和 TDM 相比，正交码调制具有以下实际优势：(1) 它不仅允许在调制前 ACI 存在的情况下恢复信号<sup>[17]</sup>，还可以基于调制码之间的相互正交的特征消除调制后相邻通道间信号的串扰。(2) 正交码调制不需要 SNR 损失。它允许多个信号在同

一时间间隔内重叠，因此数据脉冲不会在时间上被截断。正交调制的最大 SNR 是 TDM 的两倍。(3) 正交码调制频率在各个通道中的最低调制频率  $f_{\text{chop}}$  满足生物医疗信号信号调理电路斩波技术的应用要求下，其通频带宽度随通道数的增加为线性增加，远远低于正交频分复用所需的带宽要求，而后者以 2 的指数形式增加。

基于以上优点，本设计将采用 OCDM 作为信号调理电路的复用方案。

## 2.5 多通道下电容面积的优化

图 2.1(b)所示的电容耦合放大器结构是信号调理电路中较为常用的放大器结构，其实现固定增益所需的单位电容器总数定义为：

$$\left| \frac{V_{out}}{V_{in}} \right| = \frac{C_{in}}{C_{fb}} = M \quad (2-15)$$

$$f_L = \frac{1}{2\pi C_{fb} R_{pseu}} \quad (2-16)$$

$$f_U = \frac{g_m}{MC_L} \quad (2-17)$$

$$T_{CU} = 2(M + 1) \quad (2-18)$$

为了实现低噪声性能，放大器的增益通常很大。先前报道的放大器<sup>[36-38]</sup>在输入电容范围为 10pF 至 20pF 的情况下，已获得约 40dB 的增益。从式(2-15)和(2-18)中，我们可以看出，可以减小输入电容，从而减小面积，但以减小增益为代价。大多数放大器占据不小于 0.1mm<sup>2</sup> 的硅面积，其中很大一部分被输入电容器占据。对于需要大量记录通道或较小芯片面积的应用，重要的是最小化片上电容器的面积。

大的输入电容(10–20pF)也转化为等效的输入阻抗，与电极阻抗一起，在放大器的输入端形成一个频率相关的分压器电路。如果输入阻抗不够高，记录的脑电信号不仅会衰减，而且还会发生振幅和相位的失真<sup>[39]</sup>。在用于慢性脑电信号记录的电极的情况下，还存在逐渐组织纤维化的问题，这增加了神经元和电极之间的阻抗<sup>[40]</sup>，因此导致进一步的信号衰减和失真。如果信号和参考电极阻抗不匹配，有效共模抑制比也会降低<sup>[41]</sup>。因此，需要增加应用于脑电信号采集的信号调理电路的输入阻抗。

如式(2-15)中所定义的，为了获得大的中频带增益，需要增加输入电容或降低反馈电容。前者将直接降低输入阻抗并增加硅面积，而后者受到寄生电容、失配和工艺技术的限制。另一方面，为了减小输入电容(和面积)，如果反馈电容器如前所述受到约束，则必须牺牲性地减小中频带增益<sup>[42]</sup>。因此，权衡是不可避免的。这种权衡可以通过有效的反馈电容  $C_{fb\text{eq}}$  来表征，其等效于输入电容与增益之比  $C_{in}/\text{Gain}$ <sup>[43]</sup>。低有效

反馈电容意味着实现给定增益需要更小的输入电容，因此需要更小的面积。最先进的脑电信号采集放大器具有不小于 100fF 的有效反馈电容。为了减少芯片面积，可以在通道之间共享放大器和参考输入电容<sup>[44]</sup>。然而，CMRR 和 ACI 随着共享通道的数量而增加，但每个放大器的有效反馈电容仍然很高。

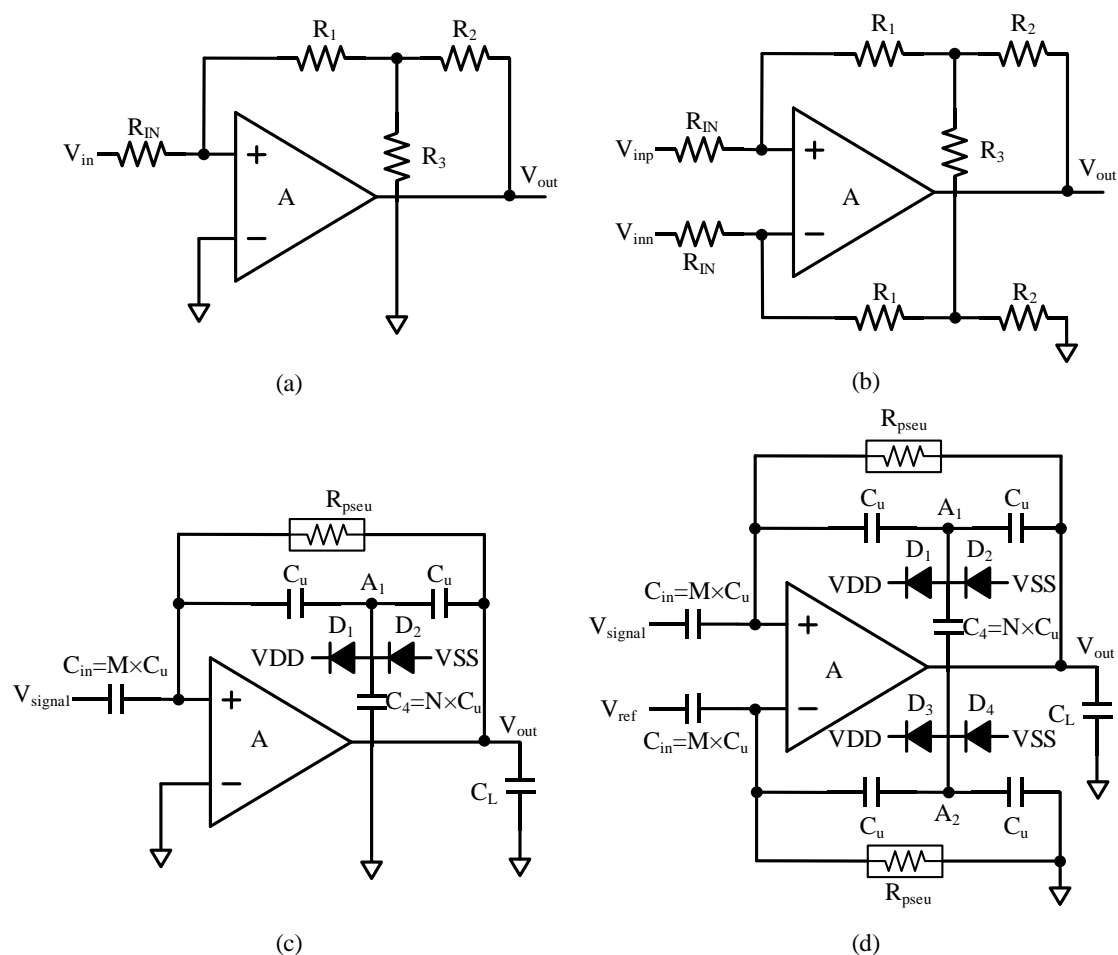


图2.9 放大器结构中的 T 型反馈单元结构: (a)单端 T 型电阻结构; (b)差分 T 型电阻结构; (c)单端 T 型电容结构; (d)差分 T 型电容结构

参考图 2.9(a)所示的电阻耦合放大器结构中 T 型电阻器网络的优化方法，在单端放大器的反馈路径中插入 T 型电阻器网络，通过将一些反馈信号通路分流到底，减少了到运算放大器反相端的有效反馈信号，实现了负反馈，跨阻放大器需要产生更大的输出信号来补偿该反馈信号的分流损失，从而导致更高的闭环增益。信号增益和等效反馈电阻表达式分别如式(2-19)和(2-20)所示：

$$\left| \frac{V_{out}}{V_{in}} \right| = \frac{R_{fb}}{R_{IN}} \quad (2-19)$$

$$R_{fbs} = R_1 + R_2 + \frac{R_1 R_2}{R_3} \quad (2-20)$$

$$R_{fbd} = R_1 + R_2 + \frac{2R_1 R_2}{R_3} \quad (2-21)$$

$$C_{fbs} = \frac{C_u}{(N+2)} \quad (2-22)$$

差分放大器的类似实现如图 2.9(b)所示,有效反馈电阻如式(2-21)所示。与 T 型电阻器反馈路径类似, T 型电容器反馈网络由式(2-22)给出的较小有效反馈电容实现,如图 2.9(c)和(d)所示。其中 N 是用于实现并联电容器的单位电容器的数量。这种减小的等效反馈电容可以使用常规尺寸的单位电容器来实现,该单位电容器不会受到与小尺寸电容器相关的问题的困扰。因此,与反馈路径中仅采用单个反馈电容的常规设计相比, T 型电容器反馈网络获得了额外的增益因数。因此,为了实现相同的中频增益,输入电容可以减少相同的因数。

在制造过程中或在存在外部电场的情况下,寄生电荷可能积聚在图 2.9(c)中的浮动节点  $A_1$  上。为了消除这个问题,反向偏置的低泄漏二极管连接到浮动节点。这些二极管在正常操作期间保持反向偏置,并提供泄漏路径以释放浮动节点上的任何感应电荷,从而将  $A_1$  上的偏置电压保持在安全操作电压范围内。二极管可以以最小尺寸的扩散来实现,因此具有极低的漏电流。

## 2.6 本章小结

本章首先介绍了脑电信号的基本特征,确定采集信号对象的低幅值、低频率的特点。然后介绍了信号调理电路放大器的基本结构及原理。其次针对多通道下斩波技术信号调理电路的基本架构进行了分析与介绍,同时还介绍了多通道设计需求下当前的设计难点。并接着对当前多通道复用方案进行了原理介绍与优缺点分析,同时确定了本文所采用的复用方案。最后,对于无法避免的无源器件面积较大的难题,进行了相关方案的介绍。

### 第三章 多通道信号调理电路的系统设计与分析

通过在第二章对脑电信号特征及其采集与调理技术原理的介绍,本设计需要满足的设计指标如下:(1)总增益要达到 60dB 并具备一定的增益可变范围以应对不同幅值的采集信号条件。(2)信号调理电路的带宽要覆盖脑电信号的频率范围 0.1~100Hz,带宽内的总等效输入积分噪声不高于  $2\mu\text{V}_{\text{rms}}$ 。(3)通道间增益失配低于 1%。(4)共模抑制比和电源抑制比应尽可能高。(5)信号调理电路的输入阻抗应达到  $1\text{G}\Omega$  以上。(6)整体的功耗和面积应尽可能小。(7)通道间串扰和三次谐波失真应尽可能低。

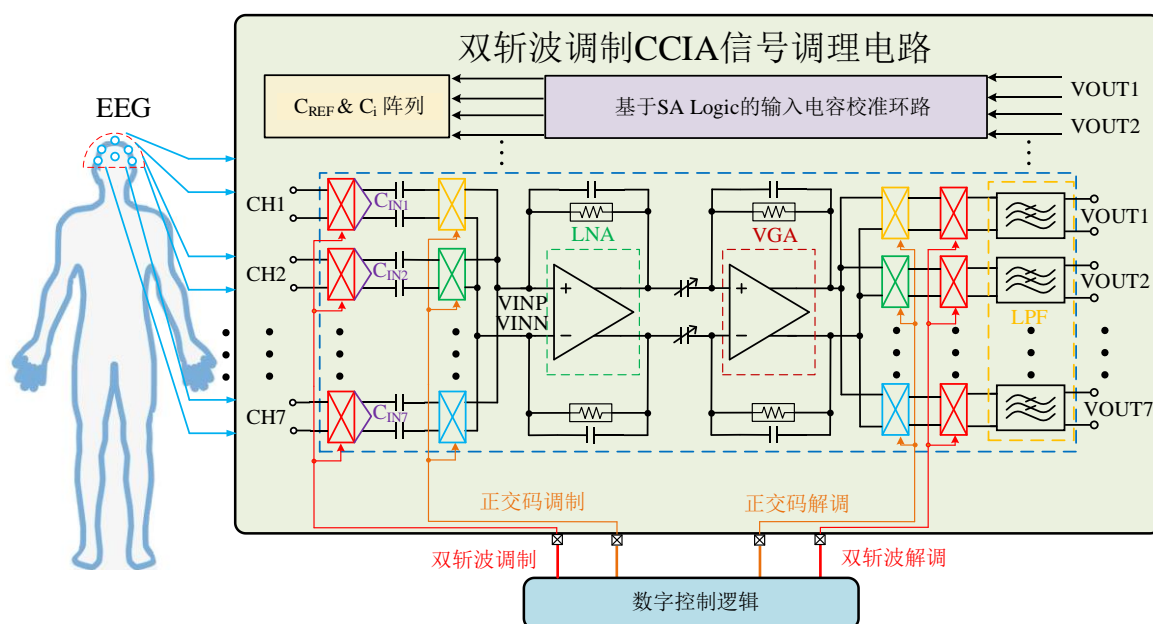


图3.1 基于 Walsh-Hadamard 编码调制的双斩波调制 CCIA 信号调理电路架构

为了满足以上设计指标要求,本章给出了基于 Walsh-Hadamard 编码调制的双斩波调制 CCIA 信号调理电路的电路设计,架构图如图 3.1 所示,包括融合输入阻抗匹配技术与正交码分复用技术于一体的双斩波调制单元、基于逐次逼近的输入电容校准单元、基于全差分差动放大器(DDA)的输入阻抗提升 Buffer、低噪声低功耗电流复用放大器 LNA、可变增益放大器 VGA、四阶 Gm-C 低通滤波器 LPF、时钟产生单元以及基准电流源电路等。双斩波调制单元的第一级斩波将各通道信号都调制到相同频率段,以提升各通道输入阻抗的匹配程度,第二级斩波基于 Walsh-Hadamard 编码调制的正交码分复用技术利用正交码组直接调制和合并多通道输入数据,同时共享单个的 LNA 和 VGA,减少功耗、面积、通道间串扰和增益失配。双斩波调制单元的解调单

元将各通道信号还原至各自信号频带。基于 DDA 的输入阻抗提升 Buffer 有效地提升了信号调理电路的等效输入阻抗。四阶 Gm-C LPF 用于滤除斩波调制到高频的噪声以及斩波毛刺。时钟产生单元用于产生信号调理电路所需的时钟信号。所设计电路的偏置均由电流源产生。

### 3.1 基于 Walsh-Hadamard 编码的正交码分复用信号调理电路

通过在 2.4 节中对各种复用方案的优缺点进行分析, 本文最终决定采用正交码分复用方案进行应用于脑电信号采集的多通道信号调理电路的设计。为了突出正交码分复用方案与正交频分复用方案在通道数增多时的明显优势, 本文以 8 通道为例进行原理介绍与分析, 但以 7 个通道为最终通道数进行设计与验证(理论上可以扩展到 N 通道的使用, 以 7 个通道进行设计的原因在后面小节会详细说明)。由于 Walsh-Hadamard 编码的生成可以使用低功率数字逻辑, 减轻了对耗电较多的频率合成器的需求, 因此本文采用 Walsh-Hadamard 编码进行调制与解调。

Walsh-Hadamard 变换是一类通用的傅里叶变换, 它对由  $2^n$  个数据组成的向量进行正交、对称和线性运算<sup>[45]</sup>。实际上, 该变换将任意输入矢量信号分解为 Walsh-Hadamard 基。基本矩阵的大小为 2, 定义为:

$$H_1 \triangleq \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \quad (3-1)$$

大小为 n 的 Hadamard 矩阵被定义为两个矩阵的递归 Kronecker 乘积:

$$H_n = H_1 \otimes H_{n-1} = \begin{bmatrix} H_{n-1} & H_{n-1} \\ H_{n-1} & -H_{n-1} \end{bmatrix} \quad (3-2)$$

Hadamard 矩阵也可以使用位于 m 行和 k 列的元素的二进制表示来获得, 如下所示:

$$h(m, k) = (-1)^{\sum_{i=0}^{n-1} k_i m_i} = \prod_{i=0}^{n-1} (-1)^{k_i m_i} \quad (3-3)$$

其中,

$$k = \sum_{i=0}^{n-1} k_i 2^i = (k_{n-1}k_{n-2} \dots k_1k_0)_2, (k_i = 0,1) \quad (3-4)$$

$$m = \sum_{i=0}^{n-1} m_i 2^i = (m_{n-1}m_{n-2} \dots m_1m_0)_2, (m_i = 0,1) \quad (3-5)$$

该二进制表示用于实现产生 Walsh-Hadamard 矩阵系数的数字逻辑。这个 Walsh-Hadamard 矩阵为基于矢量的信号处理提供了有趣的特征。H<sub>n</sub> 是对称和正交的，可以用于多个信号的线性和独立叠加。

在多通道记录中使用 Walsh-Hadamard 变换的示例如图 3.2 所示。N 通道信号表示为向量 X。通过将 X 乘以矩阵 H<sub>n</sub>，实现通道信号的线性和独立叠加，其中 n=log<sub>2</sub>N，N 为总通道数。由于所有矩阵元素都等于±1，因此在差分电路实现中通过交换极性来执行乘法运算。在正交码分复用的解调单元，H<sub>n</sub> 的逆矩阵用于重建原始通道信号。由于 H<sub>n</sub> 是正交的，因此不会引入信道之间的系统串扰。此外，与诸如压缩传感<sup>[46]</sup>的技术相比，Walsh Hadamard 编码提供了无损失的重建。

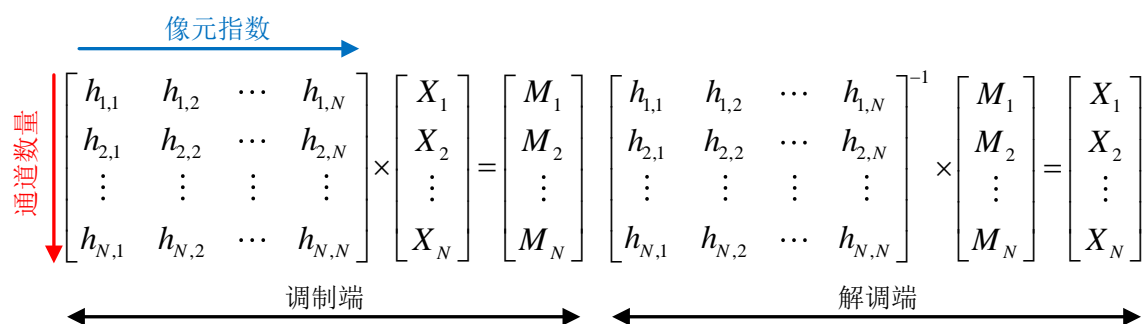


图3.2 使用 Walsh-Hadamard 编码的多通道信号记录系统中的调制和解调

每个通道使用专用码生成器逻辑在当前域中执行调制，该专用码生成器使用通道号进行连续码生成，如图 3.3 所示。图 3.3(a)为 8 通道 Walsh-Hadamard 编码信号产生逻辑电路，其产生的 8 通道连续码如图 3.3(b)所示。例如，通道号 1 使用正交码生成器 h(N,1)，通道号 k 使用码生成器 h(N,k)，其中 N 为总通道的数量。除了二进制数字 (k<sub>2</sub>k<sub>1</sub>k<sub>0</sub>)不同，其是用来表示通道调制系数外，所有通道连续码的生成逻辑电路都是相同的。在差分电路中通过交换极性来执行乘法运算是基于斩波调制开关的特性来实现的，如图 3.4 所示。其由两相非交叠时钟控制（即该通道的连续码与其互补信号），当控制信号 clock 为低电平时，输出与输入同相位，代表了编码中的“+1”；当控制信号 clock 为高电平时，输出与输入相位相差 180 度，代表了编码中的“-1”。经过 Walsh-Hadamard 编码分别调制并合并后的 8 通道输入信号共享一组 LNA 和 VGA，然后再由各自对应的解调码进行解调，信号便可被调制回基频。而由高频调制码(调制码的

最低频率应大于信号带宽的 2 倍)调制到高频的放大器的噪声和失调可经过 LPF 进行滤除，并实现放大后信号波形的输出。

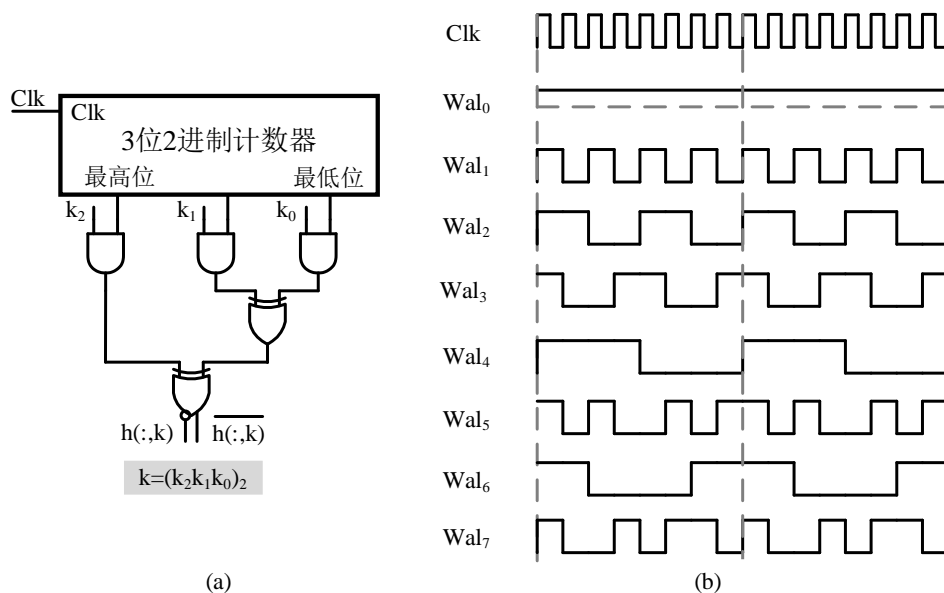


图3.3 基于 Walsh Hadamard 编码的: (a)信号产生逻辑电路; (b)8 通道连续码的波形图

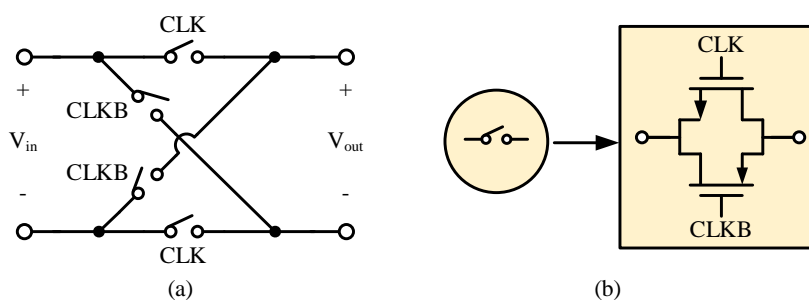


图3.4 斩波调制开关: (a)斩波调制开关模型; (b)互补 CMOS 开关

### 3.2 双斩波调制技术

为了证明本文所提出的双斩波调制技术对于多频调制方案的必要性，首先以图 2.4 所示的传统斩波运放进行等效输入阻抗的分析。如图 3.5 所示，斩波开关与输入耦合电容  $C_{IN}$  构成的开关电容结构，等效于在正负输入端之间引入了两个并联的开关电容。

输入信号经过第一次斩波调制之后，与输入电容  $C_{IN}$  连接(与  $C_{IN}$  相连的斩波开关的寄生电容相对来说较小，可以忽略)。随着斩波时钟的相位转换，输入电容  $C_{IN}$  所接输入信号的极性也随之变换。进而，输入信号对  $C_{IN}$  进行充电或者放电，产生额外的输入电流。

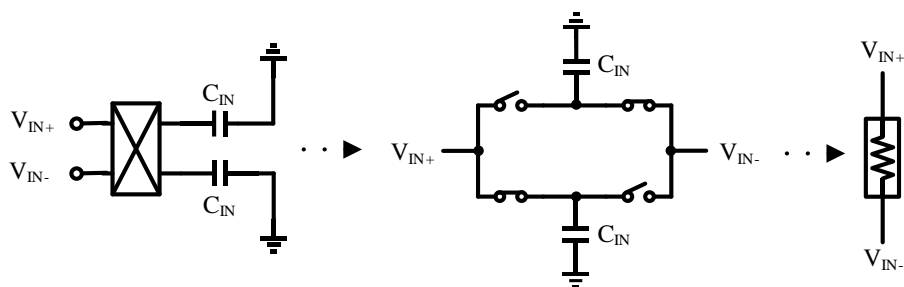


图3.5 斩波调制引入的等效开关电容结构

由于斩波频率远高于输入信号频率，可以假设在一个斩波周期内输入信号  $V_{IN}$  不变，则一次斩波开关过程中  $C_{IN}$  上充放电的电荷量  $Q_{IN}$  为：

$$Q_{IN} = V_{IN} C_{IN} \quad (3-6)$$

一个斩波周期内，经过两次斩波开关切换，总充放电量为  $2Q_{IN}$ ，则由于斩波调制引起的额外充放电电流为：

$$I_{IN} = \frac{2Q_{IN}}{T_{CLK}} = 2V_{IN} C_{IN} f_{CLK} \quad (3-7)$$

其中， $f_{CLK}$  为斩波频率， $T_{CLK}$  为斩波周期，则由斩波开关切换和输入电容导致的等效输入阻抗为：

$$Z_{IN} = \frac{V_{IN}}{I_{IN}} = \frac{1}{2f_{CLK} C_{IN}} \quad (3-8)$$

对于斩波频率的设定，需要考虑的是，斩波频率需要远大于  $1/f$  噪声拐点频率，以尽可能的消除电路  $1/f$  噪声，提高斩波频率有利于提高斩波调制对  $1/f$  噪声的抑制，而同时，提高斩波频率会提高放大器的带宽要求，这将导致电路功耗增加，因此斩波频率需要折衷考虑电路噪声、功耗、信号带宽的要求。与此同时，随着多通道频分复用和码分复用方案的提出，对于每个记录通道具有不同的输入阻抗是关于该类各通道斩波调制频率不相同的方案难题。这是因为当式(3-8)中的  $f_{CLK}$  在各通道调制频率不相同，所得到的各通道等效输入阻抗也不相同，假设  $C_{IN}$  相同，以典型的正交频率斩波技术为例，各通道斩波频率以  $2^{n-1}f_{CLK}$  改变，在 8 通道的应用下，第一个通道的斩波频率为  $f_{CLK}$ ，则第 8 个通道的斩波频率为  $2^7f_{CLK}$ ，二者的等效输入阻抗相差了

$2^7=128$  倍。如图 3.6 所示的电极采集信号模型, 令第一个通道的等效输入阻抗为  $Z_{IN}$ , 则第 8 个通道的等效输入阻抗为  $Z_{IN}/128$ , 若信号源  $V_{SIN}$  的内阻为  $R_S$ , 则根据信号分压原理等效到放大器输入端的有效信号比例分别为  $Z_{IN}/(R_S+Z_{IN})$ 、 $Z_{IN}/(128R_S+Z_{IN})$ 。常见的生物前端较高的等效输入阻抗也仅是在几个  $G\Omega$  的量级, 假设为  $10G\Omega$ , 与常用的干电极阻抗的几十  $M\Omega$  而言, 假设为  $10M\Omega$ , 其有效信号在未被放大之前, 就已经产生了 11.3% 的增益失配<sup>[47]</sup>, 这对于当前研究所追求的 1% 以内的增益失配来说是致命的。尽管在<sup>[48]</sup>中, 其声称输入阻抗明显高于电极阻抗, 预计不会对该应用产生任何问题。但是随着通道数的增多, 各通道斩波频率差距越来越大, 各通道之间输入阻抗相差倍数可以达到几十倍甚至更多, 这使得通道间增益失配的问题急剧恶化。通过对图 3.3(b)所示的码分复用方案产生的 8 通道连续码进行频谱分析, 可以发现其覆盖有效频谱范围为  $f_{CLK}\sim 2^2f_{CLK}$  (Wal0 除外), 虽然由于其在相位上的差距可以弥补正交频分复用方案中单纯的频率差距, 但是随着通道数的增多, 通道之间的调制频率差距也会增大, 因此输入阻抗不匹配的问题在更多通道的码分复用方案中同样值得关注。

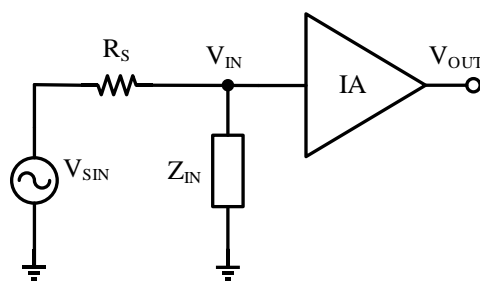


图3.6 电极采集信号模型

为了解决多频斩波调制下输入阻抗不匹配的问题, 本文提出了一种双斩波技术, 如图 3.1 所示。双斩波单元的第一级斩波将各通道信号都调制到相同频率段, 以提升各通道输入阻抗的匹配程度, 第二级斩波基于 Walsh-Hadamard 编码调制的正交码分复用技术利用正交码组直接调制和合并多通道输入数据, 同时共享单个的 LNA 和 VGA, 减少功耗、面积、通道间串扰和增益失配。双斩波单元的解调单元将各通道信号还原至各自信号频带。具体原理分析如下:

假设输入信号为  $v_{in}(t)$ , 经过第一级斩波后的信号为  $v_{m1}(t)$ :

$$v_{m1}(t) = v_{in}(t) \cdot \frac{4}{\pi} \sum_{k_1=1,3,5,\dots}^{\infty} \frac{\sin(2\pi f_{chop1} k_1 t)}{k_1} \quad (3-9)$$

其中  $k_1$  表示奇数系数,  $f_{chop1}$  是第一级斩波的频率。同理, 第二级斩波频率为  $f_{chop2}$ ,

经过第二级斩波后的信号为  $v_{m2}(t)$ :

$$v_{m2}(t) = v_{in}(t) \cdot \left(\frac{4}{\pi}\right)^2 \sum_{k_1=1,3,5\cdots}^{\infty} \frac{\sin(2\pi f_{chop1} k_1 t)}{k_1} \sum_{l_1=1,3,5\cdots}^{\infty} \frac{\sin(2\pi f_{chop2} l_1 t)}{l_1} \quad (3-10)$$

其中  $l_1$  表示奇数系数。第二次的调制为正交码分复用连续码的调制。然后信号正常被 LNA 和 VGA 放大, 令 A 为 LNA 和 VGA 放大的总增益, 则信号解调时的顺序为: 先经过正交码分复用解调码的解调, 将其余通道信号的编码正交化; 再经过第一级斩波调制码的解调, 将信号还原到基频, 得到信号  $v_{demod}(t)$ :

$$v_{demod}(t) = A v_{in}(t) \cdot \left(\frac{4}{\pi}\right)^2 \sum_{k_1=1,3,5\cdots}^{\infty} \frac{\sin(2\pi f_{chop1} k_1 t)}{k_1} \sum_{k_2=1,3,5\cdots}^{\infty} \frac{\sin(2\pi f_{chop1} k_2 t)}{k_2} \cdot \sum_{l_1=1,3,5\cdots}^{\infty} \frac{\sin(2\pi f_{chop2} l_1 t)}{l_1} \sum_{l_2=1,3,5\cdots}^{\infty} \frac{\sin(2\pi f_{chop2} l_2 t)}{l_2} \quad (3-11)$$

其中  $k_2$ 、 $l_2$  都表示奇数系数。通过以上公式, 可以得到以下观察结果:

(1) 应仔细选择调制频率, 因为这会影响信号通过放大器单元时的带宽和输入阻抗。最低载波频率应该比目标信号频率范围高几倍, 以确保 LPF 能够充分抑制相应的谐波; 此外, 调制频率也不能太高, 这会导致输入阻抗的降低。因此, 本文设计的最低载波频率定为 1kHz。

(2) 前一级的调制频率应为后一级的 2 的整数倍, 以避免不必要的谐波。由于第二级斩波频率是由各个正交码分复用连续码决定, 在 8 通道的应用以及最低载波频率定为 1kHz 的条件下, 除了  $Wal_0$  通道信号外, 其余通道信号  $Wal_1 \sim Wal_7$  的频谱分析显示其各自的基频信号分别分布在 4kHz、2kHz、2kHz、1kHz、1kHz、1kHz 和 1kHz。这种结构的一个限制是放大器带宽应至少比调制后的最高基频分量频率大十倍, 以获得良好的增益匹配。即在双斩波技术下, 若通道全部启用, 则第一级斩波的频率应至少为 8kHz, 二次调制后最高基频分量为 12kHz, 若要满足十倍原则, 则放大器带宽应至少为 120kHz。但是对各通道信号  $Wal_1 \sim Wal_7$  的基频信号频率进行分析可知, 仅有  $Wal_1$  通道具有 4kHz 的最高频率。若舍弃通道  $Wal_1$ , 则第一级斩波的频率可以降低至 4kHz, 二次调制后最大基频分量为 6kHz。满足十倍原则后, 放大器带宽应至少为 60kHz。以  $Wal_1$  通道的损失, 换来带宽 50% 的优化, 这是极具诱惑力的。同理, 扩展到 N 通道的应用时, 总会有一个通道以最高频率存在, 舍弃掉该  $Wal_1$  通道, 则会在原基础上实现带宽 50% 的优化。同时, 与传统的正交码分复用信号调理电路相比<sup>[6]</sup>, 虽然  $Wal_1$  通道损失, 但是原本无法使用的  $Wal_0$  通道连续码被激活, 这是因为即使没

有第二级的斩波调制, 经过第一级斩波调制后的输入信号已经被调制到高频, 可以实现后续放大中其与  $1/f$  噪声和失调的有效分离。因此, 同等 Walsh-Hadamard 矩阵大小下, 二者最大可用通道数是相等的, 但是由等效输入阻抗的失配带来的增益失配被消除。因此本设计中舍弃  $Wal_1$  通道, 但是启用  $Wal_0$  通道, 并将第一级斩波频率设置为  $4\text{kHz}$ 。放大器的闭环带宽至少为  $60\text{kHz}$  即可满足条件。

(3) LPF 的低通截止频率应小于最低斩波频率, 以去除所有谐波, 同时考虑到所处理脑电信号的频谱范围为  $0.1\sim 100\text{Hz}$ , 因此 LPF 的低通截止频率定为  $150\text{Hz}$ 。同时, 为了保证谐波被 LPF 充分抑制, LPF 的设计阶数定为 4 阶。

经过以上理论分析, 在输入电容耦合之前, 信号会首先经过第一级相同频率的斩波调制, 此时的等效输入阻抗由第一级斩波开关与相连的输入电容构成的开关结构所决定, 因此有效地解决了通道之间输入阻抗不匹配的问题。虽然第一级斩波开关的存在会导致信号被调制的频谱宽度增加一倍, 但是与正交频分复用技术相比, 双斩波技术在码分复用信号调理电路方案中的可行性还是较高的。除此之外, 虽然多次斩波会产生较多的谐波, 但是通过斩波频率的选择以及低通滤波器的高阶设计, 可以有效地抑制谐波对信号波形产生的影响。

### 3.3 基于逐次逼近的输入电容校准环路

#### 3.3.1 输入电容校准环路的基本原理

正交码分复用信号调理电路通过复用 LNA 和 VGA, 有效地减小了整体的功耗和面积, 但是各个通道输入电容的存在仍然导致整体的面积亟待改善, 例如在<sup>[6]</sup>中输入电容和斩波开关的面积占到了整体信号调理电路(包括 ADC 单元)的  $62\%$ 。根据 2.4 节的分析, 本设计采用 T 型电容进行反馈电容的设计, 可以将传统的  $100\text{fF}$  反馈电容值降低到  $20\text{fF}$  的容值。因此在仅考虑第一级 LNA 的情况下(第二级 VGA 的输入电容可以被复用), 输入电容可以减小为原来的  $20\%$ , 这极大地减小了信号调理电路的整体面积。但是由输入电容和反馈电容所决定的增益精确度也直接决定了通道间的增益匹配程度, 而输入电容面积的减小不免会导致增益失配的加剧。若在电容值不变条件下提升输入电容的精确度, 这是以更昂贵或更复杂的硬件为代价的。为了解决这个难题, 本设计提出了一种基于逐次逼近的输入电容校准环路, 通过对输入电容进行校准, 以相对较小的代价有效地提升了通道间的增益匹配程度。

如图 3.7(c)所示, 所提出的输入电容校准环路基于信号调理电路中已有的电路单元进行设计, 额外电路单元包括时域比较器(CMP)、逐次逼近逻辑(SA Logic)电路、补偿电容阵列以及参考电容。每个输入信号端口都由二选一选择器以及两个开关单元构成(后续各个由选择器控制的单元都配有开关单元, 不再赘述), 二选一选择器控制输

入信号正常输入，或者进入校准模式。

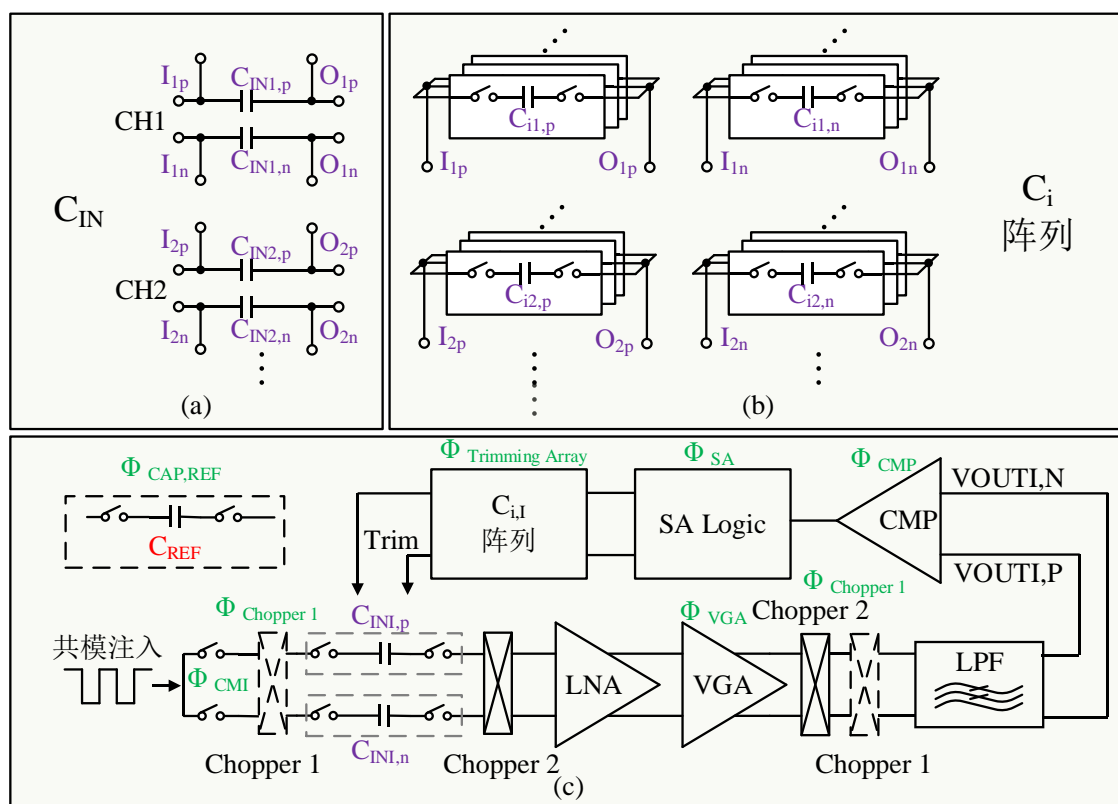


图3.7 基于逐次逼近的输入电容校准电路

进入校准模式时,  $Wa4$  通道的输入信号为  $600\text{mV}$  的共模方波, 该方波由类似  $CH4$  通道的正交码产生电路控制信号在  $600\text{mV}$  的电源电压下, 经过 4 次二分频后获得, 其频率为  $62.5\text{Hz}$ , 其余通道的输入则接地。第一个斩波开关  $CHOPPER1$  由二选一选择器控制, 正常放大时为  $4\text{kHz}$  方波, 校准阶段为高电平置位, 即信号正常通过, 不进行调制。第二级斩波开关  $CHOPPER2$  始终在正交码产生电路的控制下正常工作。所有输入电容  $C_{IN}$  都由二选一电路控制, 正常放大时接入各自位置; 校准模式时, 由 16 选 1 选择器控制分别接入到  $Wa4$  通道的 P 输入端输入电容位置, 但只有前 14 个信号被选, 剩余两个为无效码, 因为 7 个通道下只有 14 个输入电容需要进行校准。所有补偿电容  $C_i$  都连接有 RS 触发器以保持控制电平, 每个  $C_{IN}$  对应 8 位  $C_i$  阵列, 因此共有 14 个  $C_i$  阵列, 每个阵列的  $RS\_EN$  使能端控制信号相同, 与对应  $C_{IN}$  由同一个 16 选 1 选择器控制, 在选通阶段内对该  $C_{IN}$  进行校准, 校准完毕  $RS\_EN$  置位低电平, 保持校准结果。参考电容  $C_{REF}$  由二选一选择器控制, 正常放大时两端接地, 校准模式时, 被接通到  $Wa4$  通道 N 输入端的输入电容位置。SA Logic 电路的 8 位输出端口也由 16 选 1 选择器进行控制, 前 14 个有效码控制 14 个输入电容的校准阶段, 以控制该输入电容对应的补偿电容阵列。

当校准开始时,除了  $Wal_4$  通道的输入信号被切换为  $600mV$  的共模方波外,其余通道的输入都接地。各通道的第一级斩波开关  $CHOPPER1$  与其对应的解调斩波开关此时都被置于高电平,信号正常通过。各通道的第二级斩波开关  $CHOPPER2$  正常被码分复用正交码调制。输入电容的校准以参考电容  $C_{REF}$  为参考,14 个输入电容分别接入到  $Wal_4$  通道  $P$  输入端的输入电容位置进行校准。为了简化时域比较器的输出结果,参考电容会一直在  $N$  输入端的输入电容位置,这是因为参考电容会被设置为预想的输入电容值,其余的输入电容被设置为小于预想输入电容值的状态,通过补偿来达到参考电容值,由于两个输入电容之间的不匹配,共模方波会在经过此时的输入电容时产生差分信号,进而在通过斩波放大器放大后,斩波放大器的差分输出信号的输出极性实际上表征了当前电容的失配方向。这样根据逐次逼近逻辑,会使得时域比较器的输出结果为 1 时,代表补偿电容此位需要接入对应输入电容;输出结果为 0 时,代表补偿电容此位需要与对应输入电容断开。通过逐次校正,电容失配在理想情况下被降低到低于一个校正电容阵列单位电容的范围内。当前  $P$  输入端的输入电容校正结束后,其补偿电容阵列会被对应  $RS$  触发器保持控制电平,然后开始下一个输入电容的校准。同理,其余通道的各输入端电容都被不断的切换到  $Wal_4$  通道的  $P$  输入端与处于  $N$  输入端的参考电容  $C_{REF}$  进行匹配。待各输入电容都被依次校准完成后,各电容都被正常接入到各自通道的端口处。然后,第一级斩波单元的控制信号被切换为正常的双斩波调制模式;各通道的输入信号也被切换为正常输入信号状态;时域比较器和  $SA\ Logic$  被关闭,以节省功耗。至此,基于逐次逼近的输入电容校准完成,电路处于正常工作状态。由于各通道的输入电容都被校准到同样的电容值,各输入电容之间的差距仅为一个校正电容阵列单位电容的范围,这极大的增加了各通道间的增益匹配程度,而带来的额外消耗仅为一个时域比较器、一个  $SA\ Logic$  以及一些数字逻辑电路。

### 3.3.2 输入电容校准环路的电路结构

如图 3.1 所示,在本设计中,第一级 LNA 的闭环增益被设置为  $34dB$ ,第二级 VGA 的闭环增益范围为  $0\sim 26dB$ 。在进行输入电容校准时,VGA 的增益被设置为最高增益  $26dB$ ,以实现整体的  $60dB$  增益来保证时域比较器的正常判断。由于反馈电容通过 T 型电容被设置为  $20fF$ ,因此为了保证第一级的  $34dB$  增益,预想的输入电容值应为  $1pF$ 。考虑到一定的工艺偏差、设计裕度以及时域比较器判断结果分析的简化,将参考电容  $C_{REF}$  设置为  $1pF$ ,其余通道的输入电容值设置为  $0.9pF$ ,单个输入电容的补偿电容阵列最小电容为  $1fF$ ,并采用 8 位 2 进制的补偿电容阵列,最大可补偿电容为  $255fF$ 。LNA、VGA、以及 LPF 的电路设计会在后续小节中分析,这里介绍所设计的时域比较器以及  $SA\ Logic$  电路。

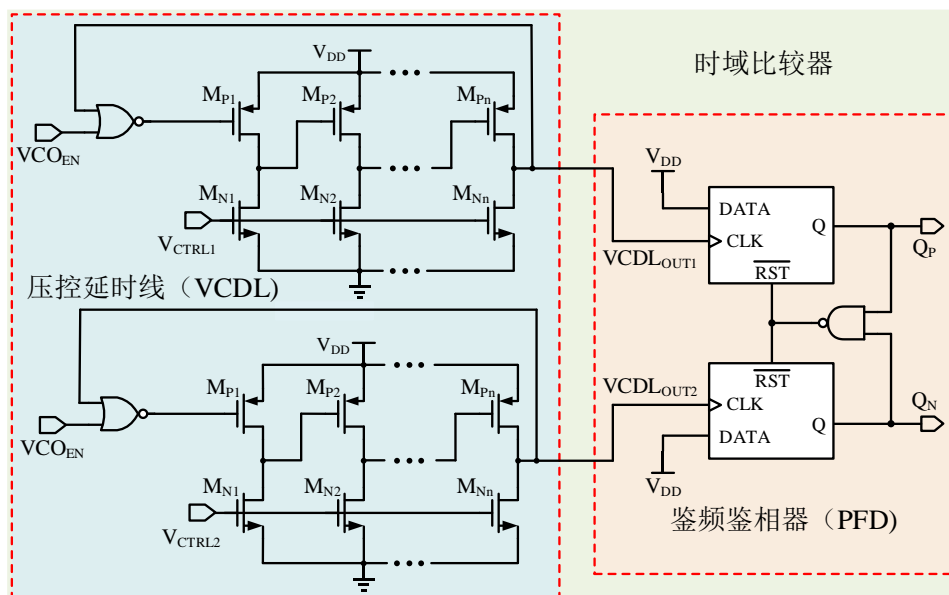


图3.8 时域比较器

时域比较器相比于传统的动态比较器具有更低的噪声和直流失调<sup>[49]</sup>，这有利于输入电容的精确校准。如图 3.8 所示，时域比较器由压控延迟线(VCDL)和鉴频鉴相器(PFD)组成。VCDL 是一种延时随输入控制电压变化而变化的延时单元，将其和反相器连接后组成环路，便可构成振荡频率可控的压控振荡器(VCO)。VCDL 的控制电压  $V_{CTRL1}$  和  $V_{CTRL2}$  为低通滤波器的差分输出电压，其直流电平为低通滤波器的输出共模电平  $V_{CM}$ 。当  $V_{CTRL1}$  增大时，其对应单元的 NMOS 晶体管的电流增大，中间结点寄生电容充放电时间变短，因此延时减小。反之则延时增长。VCDL 的偏置电流由  $V_{CM}$  决定。在  $T_0$  时间内，使用不同控制电压的两个 VCO 积累的相位差  $\Delta\phi$  可以写为：

$$\Delta\phi = 2\pi K_{VCO} \int_0^{T_0} \Delta V_{CTRL}(t) dt \quad (3-12)$$

其中  $K_{VCO}$  为压控振荡器的电压-频率转换增益（单位为 Hz/V）， $\Delta V_{CTRL}$  为两个压控振荡器的控制电压之差。将该相位积累差参考到振荡周期  $T_{VCO}$  上时，则可以得到积累的时间差  $\Delta t$  为：

$$\Delta t = \frac{\Delta\phi}{2\pi} T_{VCO} = K_{VCO} T_{VCO} \int_0^{T_0} \Delta V_{CTRL}(t) dt \quad (3-13)$$

积累的时间差  $\Delta t$  经过 PFD 后便可判断出控制信号的大小。PFD 电路如图 3.8 所示，其由 D 触发器和与非门组成。D 触发器的数据输入端接高电平，时钟输入端接需要比较相位的两个频率信号。根据两个输入信号频率的不同在  $Q_P$ 、 $Q_N$  端进行高电平



的理论值为 0.05%。由于电路中用到较多的开关，而传统 CMOS 开关的有效关断隔离特性会导致其他“OFF”状态开关产生不需要的耦合噪声以及差分路径的失配<sup>[50]</sup>。为此，本设计中的开关都采用 T 型 CMOS 开关，如图 3.10 所示。T 型开关为“ON”时，S<sub>1</sub> 和 S<sub>2</sub> 打开，S<sub>3</sub> 关闭；T 型开关为“OFF”时，S<sub>1</sub> 和 S<sub>2</sub> 关闭，S<sub>3</sub> 打开。由 S<sub>1</sub> 和 S<sub>2</sub> 的寄生电容耦合的信号通过导通开关 S<sub>3</sub> 分流到地，关断隔离大大增强。

### 3.4 电流复用共源共栅 LNA 和 VGA

#### 3.4.1 电流复用共源共栅 LNA

本文设计的 LNA 和 VGA 的主放大器结构基本相同，都采用电流复用共源共栅放大器结构，如图 3.11(a)所示。通过电流复用技术最大化跨导，由单 MOS 输入对管对跨导贡献变为 NMOS 和 PMOS 输入对管都对跨导贡献，此时的总跨导为：

$$g_{m,tot} = g_{MN1,2} + g_{MP1,2} \quad (3-14)$$

信号通路上的 PMOS 和 NMOS 管都被设置在深亚阈值区域，以最大化电流效率，处于亚阈值区的晶体管输入跨导为：

$$g_m = \frac{I_D}{\zeta V_T} \quad (3-15)$$

其中，I<sub>D</sub> 为漏电流， $\zeta > 1$ ，是一个非理想因子，V<sub>T</sub> 是热电压，等于 kT/q。考虑到信号的输入电压范围，所提出的电流复用共源共栅放大器结构是可接受的。电流复用共源共栅放大器的噪声分析如下：

由于共源共栅结构中共栅管的噪声可以忽略，因此电流复用共源共栅放大器结构的噪声主要来自于输入对管。虽然两组输入对管的 1/f 噪声对于脑电信号的采集都有着较大的影响，但是通过斩波技术，这部分低频噪声可以被斩波调制后滤除，因此这里主要考虑放大器的热噪声影响。则该放大器等效输入热噪声  $\overline{V_{in}^2}$  可以表示为：

$$\overline{V_{in}^2} = 8KT\gamma / (g_{MN1} + g_{MP1}) \quad (3-16)$$

式中 T 为绝对温度， $\gamma$  和 K 为工艺参数，g<sub>MN1</sub> 和 g<sub>MP1</sub> 分别为 MN1 管和 MP1 管的跨导。对于热噪声，只能由增大 MOS 管 g<sub>m</sub> 的方式减小，而在过驱动电压一定的情况

下,  $g_m$  仅由偏置电流决定, 因此只能通过增大电流的方式减小热噪声。而在低功耗设计中, 功耗的限制与热噪声的大小存在折衷关系。

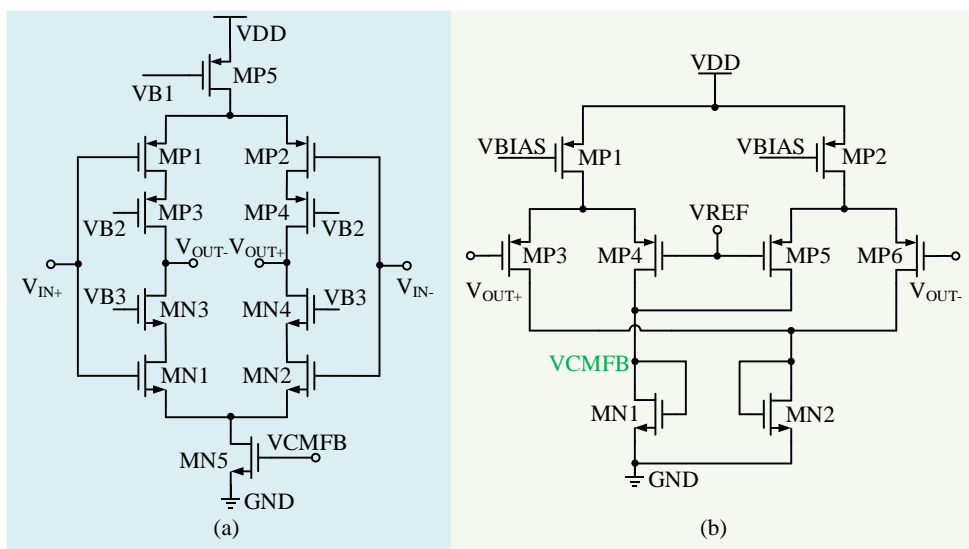


图3.11 (a)电流复用共源共栅放大器; (b)共模反馈电路

由于运放在实际工艺生成中不可避免地产生失配, 且为了增强共模抑制特性, 电路采用全差分运放结构, 因此共模反馈电路设计如图 3.11(b)所示。当  $V_{OUT+}=V_{OUT-}=V_{REF}$  时,  $I_{P3}=I_{P4}=I_{P5}=I_{P6}=I_{P1}/2=I_{P2}/2$ 。当输入电压为差分信号时,  $V_{OUT+}$  电压增加  $\Delta V$ ,  $V_{OUT-}$  电压减小  $\Delta V$ , 使得  $I_{P4}$  电流增大,  $I_{P5}$  电流减小, 但是流经 MN1 管的  $I_{N1}$  电流保持不变, 因此电压 VCMFB 保持不变, 所以共模反馈电路对差分信号不产生影响。当输出共模电平大于参考值  $V_{REF}$  时, 会使得  $I_{P4}$  和  $I_{P5}$  电流都增大, 进而导致电压 VCMFB 增大, 反馈到主放大器单元 MN5 管的栅端会使得尾电流源电流增大, 输出共模电平减小; 同理, 当输出共模电平小于参考值  $V_{REF}$  时, 会使得  $I_{P4}$  和  $I_{P5}$  电流都减小, 进而导致电压 VCMFB 减小, 反馈到主放大器单元 MN5 管的栅端会使得尾电流源电流减小, 输出共模电平增大。因此共模反馈电路稳定了主放大器的输出共模电平。

### 3.4.2 电流复用共源共栅 VGA

由于脑电信号的幅值低并具有一定的范围, 因此还需要可变增益放大器对信号进行二次放大。对于传统的斩波放大器结构, 通常将斩波解调单元位于 LNA 之后、VGA 之前, 这意味着信号在经过 VGA 单元时已经被调制回了基频, 因此要求 VGA 单元的高通极点低于  $0.5\text{Hz}$ , 以保证低频信号顺利通过 VGA 单元。而 VGA 单元的高通极点  $f_H$  由反馈电容  $C_f$  和伪电阻  $R_p$  决定:

$$f_H = \frac{1}{2\pi R_p C_f} \quad (3-17)$$

极低的高通极点频率要求伪电阻具有较大的阻值，这会消耗较大的面积，同时，伪电阻的鲁棒性较差，会影响信号的正常通过。在本设计中，信号经过第一级 LNA 进入到 VGA 单元的输入端时，有用信号频率仍处于斩波调制后的高频段(至少为 1kHz)，因此可以避免高通极点频率的设定需要，这消除了超高阻值伪电阻的不稳定性带来的影响。虽然避免了高通极点频率的设定需要，但是 VGA 的闭环带宽也要覆盖整个斩波调制频率的基频谐波范围，因此以额外的功耗换来了 VGA 的面积和鲁棒性的优化。

表3.1 VGA 的开关信号与增益大小

输入信号幅值 (mV)	开关信号 (CN1-CN4)	增益大小 (dB)
≥25mV	1111	0
10-25mV	0111	6
5-10mV	0011	14
2-5mV	0001	20
≤2mV	0000	26

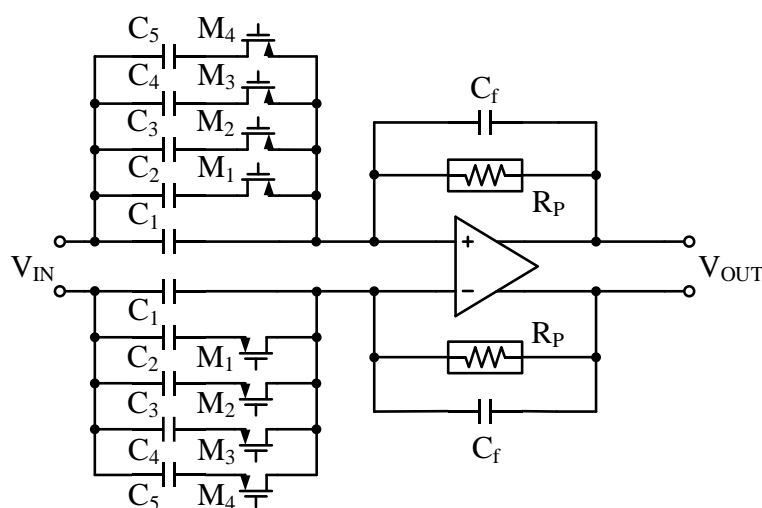


图3.12 本文设计的可变增益放大器

本文所设计的可变增益放大器采用电容耦合形式以及通过改变输入电容的方式改变增益，如图 3.12 所示。由于可变增益放大器的输入电容和反馈电容都被所有通

道复用，因此这里的电容面积不会随着通道数的增加而增加，有效的减小了整体的面积。此处的反馈电容值设置为 100fF，输入电容值根据增益变化范围设置了多个值，并由相应的开关控制信号控制，如表 3.1 所示。VGA 中共有 4 组 PMOS 开关管 M1、M2、M3 与 M4，对应的开关控制信号分别为 CN1，CN2，CN3 与 CN4。VGA 中的主放大器结构与 LNA 单元的主放大器结构相同，都为电流复用共源共栅放大器结构。

### 3.5 四阶 Gm-C 低通滤波器

经过 3.2 节的分析可知，双斩波调制技术的应用对低通滤波器的设计具有较高的要求，即在满足有用信号带宽范围(0.1-100Hz)的基础上，还要在有效带宽外具有较好的谐波抑制特性。同时，在多通道应用下每个通道都需要低通滤波器以还原各通道信号，这要求低通滤波器具有较低的功耗与面积。因此本文所设计的低通滤波器为基于 FVFB 结构的四阶 Gm-C 低通滤波器，-3dB 低通截止频率为 150Hz，输入输出摆幅大于等于 100mV，总谐波失真小于等于-40dB。其具有结构简单，易于级联的特点，同时其极低的功耗条件非常适合脑电信号采集信号调理电路的设计需要。

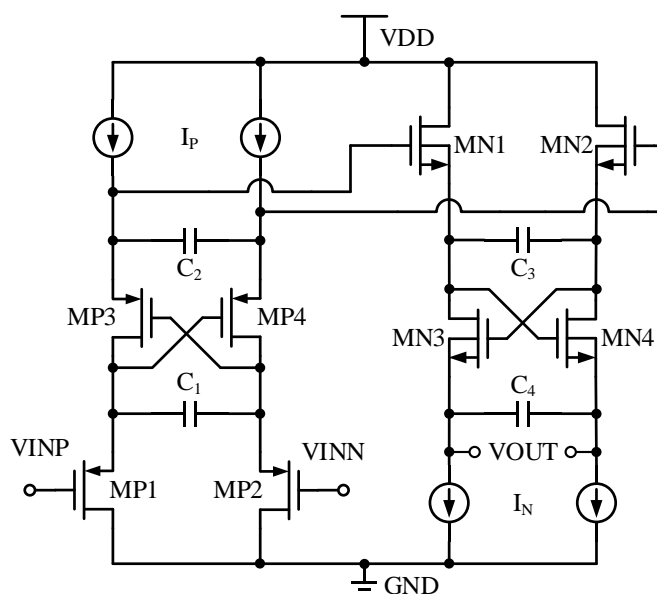


图3.13 基于 FVFB 结构的四阶 Gm-C 低通滤波器

FVFB Gm-C LPF 的整体结构为伪差分结构，如图 3.13 所示，每一级由两组 MOS 管与一个电容构成，因此 FVFB Gm-C LPF 的  $g_m$  单元仅由一个 MOS 管组成。以第一级 FVFB 结构为例，该级 LPF 的平带增益  $A_v$ ，-3dB 频率以及 Q 值可以表示为<sup>[51]</sup>：

$$A_v = \frac{g_{m1}g_{m3}}{(g_{m1} + g_{mb1})(g_{m3} + g_{mb3})} = \frac{1}{(1 + \eta)^2} \quad (3-18)$$

$$\omega_{-3dB} = \frac{\sqrt{(g_{m1} + g_{mb1})(g_{m3} + g_{mb3})}}{\sqrt{C_1 C_2}} \quad (3-19)$$

$$Q = \frac{\sqrt{(g_{m1} + g_{mb1})(g_{m3} + g_{mb3})} \sqrt{C_1 C_2}}{C_1(g_{m3} + g_{mb3}) + C_2(g_{m1} + g_{mb1} - g_{m3})} \quad (3-20)$$

式中  $g_{mn}$  表示  $MP_n$  的跨导,  $g_{mbn}$  表示  $MP_n$  的背栅跨导。为了忽略衬偏效应的影响, 对于 PMOS 管构成的  $g_m$  单元, 可以直接将其 PMOS 的衬底和源极短接, 以使 LPF 的平带增益为 1。而对于 NMOS 管构成的  $g_m$  单元, 由于 N 阱 CMOS 工艺的限制, 本文将级联 NMOS 级使用了深 N 阱 NMOS 管以实现平带增益为 1。

### 3.6 基于 DDA 结构的输入阻抗提升 Buffer

经过在 3.2 章节中对信号调理电路等效输入阻抗的分析可以得知, 信号调理电路等效输入阻抗的不同会造成不同通道间的增益失配, 因此本文所提出的双斩波技术可以弥补这一缺点, 但是由第一级斩波开关与输入电容构成的开关电容结构导致的输入阻抗降低的问题还未得到解决。为此, 本文采用基于 DDA 的输入阻抗提升 Buffer 来解决。

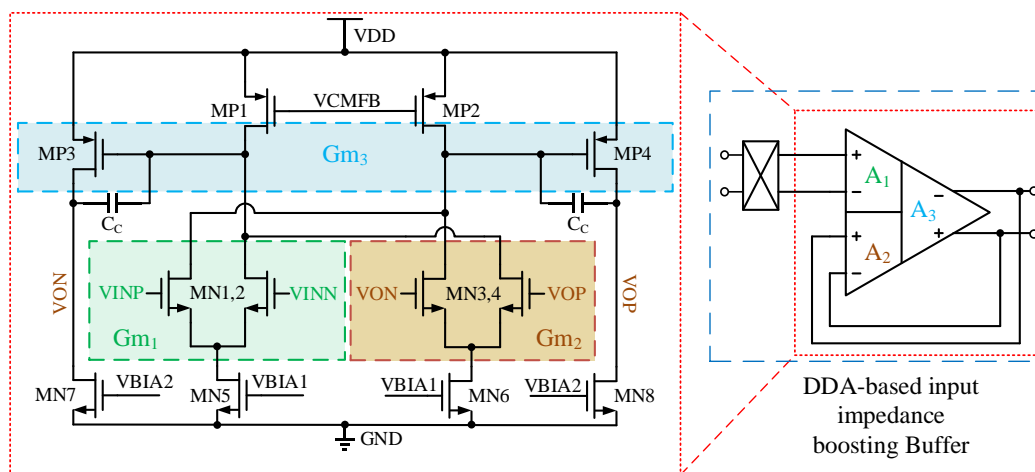


图3.14 基于 DDA 的输入阻抗提升 Buffer

基于 DDA 的双差分输入对结构如图 3.14 所示, DDA 的其中一组输入对与输出相连, 构成全差分 Buffer。作为放大路径上的直流耦合 Buffer, 每个 Buffer 必须具有高开环增益, 以减少闭环下的增益失配。与每对差分输入端都需要两个高开环增益 Buffer 的传统结构相比, DDA 结构的差分输入 Buffer 在实现相同的高开环增益下, 具有面积和功耗两方面的优势。此外, 与两个单独的放大器相比, 改善一个放大器内

的两个输入对 MN1,2 和 MN3,4 之间的匹配要相对容易得多,这有助于进一步优化通道之间的增益失配。

基于 DDA 的输入阻抗提升 Buffer 被添加在第一级斩波开关和输入电容  $C_{IN}$  之间。由于输入信号经过第一级斩波开关调制后,直接与该 Buffer 的输入对晶体管的栅极相连,而栅极处存在寄生电容,因此根据式(3-8),可得此时的等效输入阻抗为:

$$C_{IN,eq} = C_{gs1} + C_{gd1} + C_{gb1} + C_{chopper}$$

$$Z_{IN} = \frac{1}{2C_{IN,eq}f_{CLK}} \quad (3-21)$$

式中  $C_{gs1}$ 、 $C_{gd1}$  和  $C_{gb1}$  分别表示 NMOS 管 MN1 的栅源、栅漏和栅衬寄生电容, $C_{chopper}$  是斩波器的寄生电容。

DDA 的输入晶体管 MN1 的尺寸为  $30\mu\text{m}/0.5\mu\text{m}$ 。因此,等效电容主要由 DDA 输入晶体管的寄生电容决定,通过使用小尺寸的输入晶体管,可以将寄生电容降低到 fF 的数量级。根据等式(3-21),假设等效输入电容为 10fF,与原结构下的 1pF 电容相比,输入阻抗提升了 100 倍。尽管不同通道在此处的寄生电容值会随着工艺实现而产生偏差,但是根据公式  $Z_{IN}/(R_S+Z_{IN})$ ,当  $Z_{IN}$  增大时,本身就会减小通道间增益失配的问题,同时借助双斩波技术在原理上进行通道间增益匹配的提升,因此本文所设计的结构在保证高等效输入阻抗的同时,进一步提升了通道间增益的匹配程度。

## 3.7 其他基础单元电路

### 3.7.1 改进的电流模基准源电路

由于放大器单元中共模反馈电路的电压  $V_{CMREF}$  需要用到基准源提供参考电压,这要求基准源的输出失调和噪声尽可能的低,因此本文在传统的电流模基准源的基础上引入了正反馈的设计。改进后的电流模基准源满足了应用需求,如图 3.15 所示。

两个双极型晶体管(BJT)的基极与发射极电压之差在电阻  $R_1$  上产生 PTAT 电流,由于  $Q_2$  避免了与 OTA 的另一输入端相连,因此此时产生的与绝对温度成正比(PTAT)电流的精度不再受到钳位运放 OTA 失调的影响。同时,由于  $Q_1$  与  $Q_2$  形成的两个共射极放大组态形成了一条同相放大路径,相较于传统结构中  $Q_1$  的输出阻抗,同相放大路径的形成大幅增强了  $Q_2$  的等效输出阻抗,根据反馈环路的反馈系数表达式:

$$F \approx -g_{mP}r_{OB2} \quad (3-22)$$

其中  $g_{mP}$  为  $M_{P1}$ 、 $M_{P2}$  管的跨导， $r_{oB2}$  为晶体管  $Q_2$  的输出阻抗。此时的反馈环路的反馈系数大幅增加，使得等效输出噪声和输出失调大幅降低。

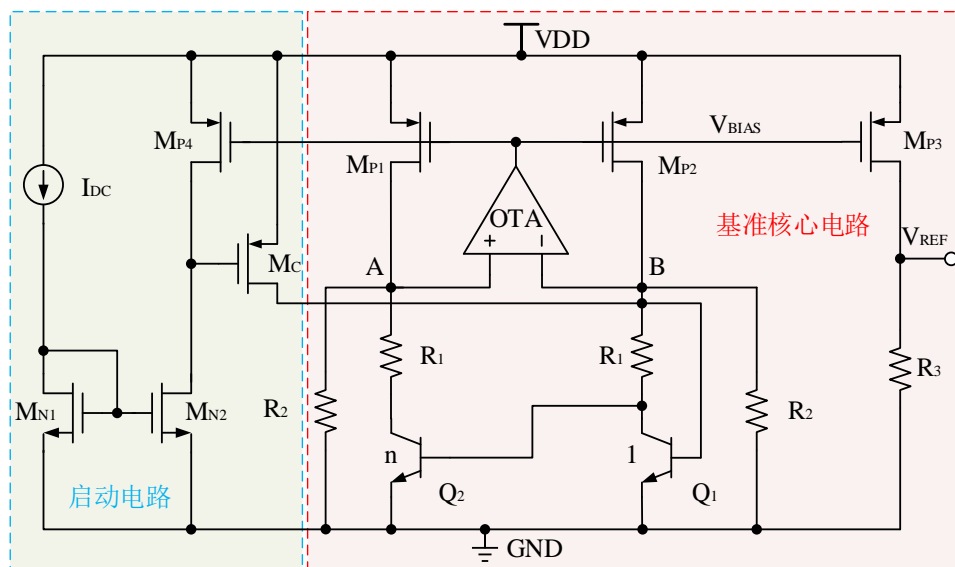


图3.15 改进的电流模基准源电路

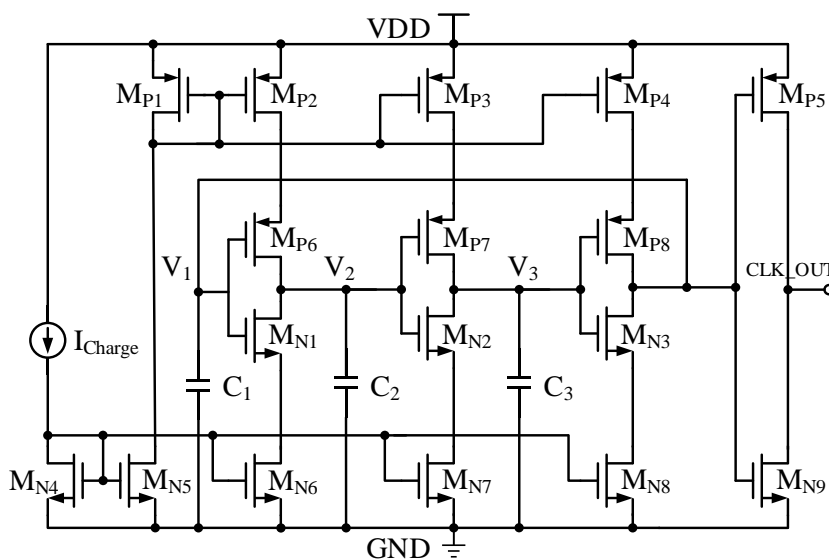


图3.16 时钟信号产生电路

### 3.7.2 时钟振荡器电路

由于斩波调制需要时钟信号的控制，因此本文设计了一个片上的时钟振荡器电路用于产生全局时钟信号。本文的信号调理电路使用的最高时钟频率为  $8\text{kHz}$ ，其余斩波频率可基于  $8\text{kHz}$  频率分频以及正交码产生电路得到。由于最高开关频率并不高，因此采用结构简单和低功耗的环形振荡器作为时钟信号产生电路。时钟振荡器的电路

图如图 3.16 所示。其工作原理如下：假设初始时  $V_1$  为低电平，则  $V_2$  为高电平， $V_3$  为低电平。当电路开始上电时，由  $M_{P8}$  和  $M_{N3}$  组成的反相器输出逐渐变为高电平， $V_1$  也会由开始的低电平逐渐上升到高电平，经过一个延时  $T_D$  后  $V_2$  也下降为低电平，从而  $V_3$  也会经历一个延时  $T_D$  上升为高电平。经过循环，所设计的时钟信号产生电路就会在  $CLK\_OUT$  处产生了一个时钟信号。时钟信号  $CLK\_OUT$  的时钟周期为  $6T_D$ ，其延时  $T_D$  取决于大信号、电流驱动  $I_{Charge}$  以及每一级的电容值。

### 3.7.3 基准电流源电路

为了提高整体的电流效率，本设计中将 LNA 和 PGA 电路单元的共源共栅管偏置在亚阈值区。由于存在工艺偏差以及温度特性的影响，偏置电路中基准电流源对偏置电压精度的影响较大，因此本文设计了带钳位运放结构的高 PSRR 基准源，如图 3.17 所示。

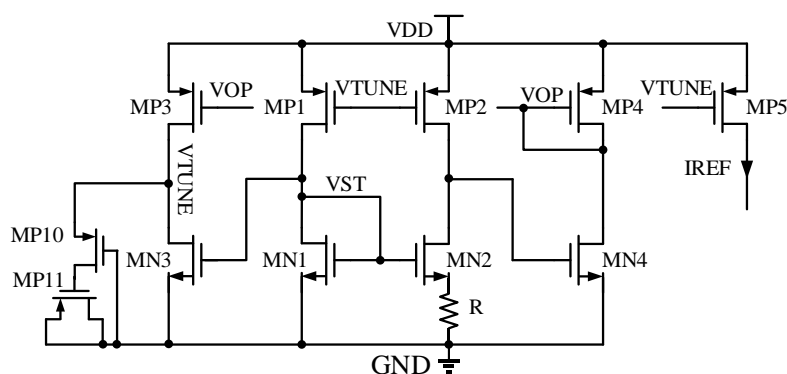


图3.17 带钳位运放结构的高 PSRR 基准源

$M_{N3}$  镜像了  $M_{N1}$  管电流，与  $M_{P3}$ 、 $M_{N4}$ 、 $M_{P4}$  组成恒定偏置钳位运放结构。基准电流源核心与钳位运放的偏置电流分别为：

$$I_{CORE} = \frac{V_{GS1} - V_{GS2}}{R} \quad (3-23)$$

$$I_{OTA} = \frac{W_3}{W_1} I_{CORE}$$

式中， $I_{CORE}$  表示基准电流源核心电路的电流， $I_{OTA}$  表示钳位运放支路的电流。运放的输出钳位  $M_{P1}$ 、 $M_{P2}$  的栅极，同时使得  $M_{P1}$  与  $M_{P2}$  的漏极电压保持相等，提高电流镜像精度，从而提升了 PSRR。 $M_{P10}$  和  $M_{P11}$  是为了保证基准核心电路与钳位运放电路所形成环路的稳定性。

### 3.8 本章小结

本章首先介绍了应用于脑电信号采集的信号调理电路的系统架构,然后提出了基于 Walsh-Hadamard 编码的正交码分复用信号调理电路方案,并详细介绍了其基本原理。接着介绍了本文所提出的双斩波调制技术的基本原理和电路结构,并对该技术的使用条件进行了分析与阐述。其次,还介绍了本文所提出的基于逐次逼近的输入电容校准环路的原理和电路结构。随后,分别对 LNA、VGA、LPF 和输入阻抗提升 Buffer 等主要电路单元进行了详细介绍与分析。最后,对基准源和时钟振荡器等其他基础电路单元也进行了介绍与分析。



## 第四章 整体电路版图实现与后仿真验证

本文提出了一种应用于脑电信号采集的多通道信号调理电路设计，并基于 65nm 标准 CMOS 工艺和 Cadence 平台完成了电路设计和版图物理实现，并进行了流片。由于时间关系，芯片还在流片中，因此本文利用 Cadence 仿真工具来对所设计电路的关键单元和整体电路进行功能验证和性能仿真。在无特殊说明下，所给出的仿真结果均为后仿真结果。由于需要对电路中的寄生电容、寄生电阻以及耦合电容等参数进行提取，因此后仿真类型设置为 R+C+CC 型。

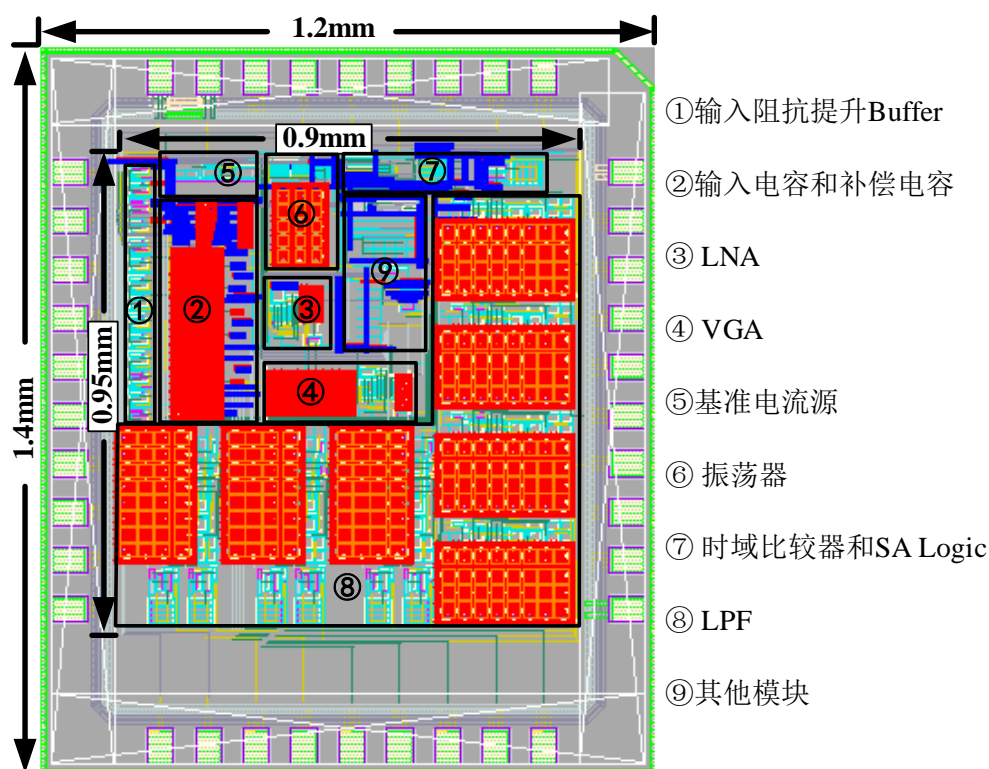


图4.1 所设计的应用于脑电信号采集的多通道信号调理电路的版图

### 4.2 整体电路的版图实现

本文所设计的应用于脑电信号采集的多通道信号调理电路的版图如图 4.1 所示，包括：输入阻抗提升 Buffer、输入电容和补偿电容阵列、LNA、VGA、基准电流源、振荡器、时域比较器和 SA Logic 以及 LPF。版图总面积为  $1.2 \times 1.4 \text{mm}^2$ ，核心电路面积为  $0.9 \times 0.95 \text{mm}^2$ ，平均每通道  $0.122 \text{mm}^2$ ，其中，7 个通道 LPF 所占面积为  $0.482 \text{mm}^2$ ，不包含 LPF 时，平均每通道  $0.053 \text{mm}^2$ ，版图中各单元电路已在图中标出。

## 4.3 关键单元电路的后仿真验证

### 4.3.1 LNA 单元的交流特性仿真

在 TT 工艺角、300K 温度下进行 LNA 单元的开环交流特性仿真，最差相位裕度出现在后级 VGA 的增益为 0dB 的情况，此时 VGA 的输入电容对第一级 LNA 的加载为  $C_L=100\text{fF}$ ，仿真原理图如图 4.2 所示，由此得到的 LNA 单元的开环交流特性仿真结果如图 4.3 所示。同时对 LNA 单元的交流特性进行工艺角仿真如表 4.1 所示。虽然增益精度对开环增益具有较高的要求，但是由于 LNA 和 VGA 都在正交码分复用方案下被复用，因此可以适当减小开环增益，而把重点放到带宽这一指标上。三个工艺角下，相位裕度以及单位增益带宽基本保持恒定，满足性能要求。

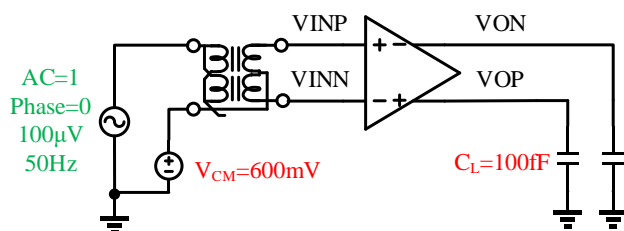


图4.2 LNA 单元的开环交流特性仿真原理图

表4.1 不同工艺角下的交流特性

工艺角	TT	FF	SS
开环增益 (dB)	66.4	59.9	68.1
相位裕度 (degree)	61.3	60.4	62.5
单位增益带宽 (MHz)	15.41	16.10	14.52

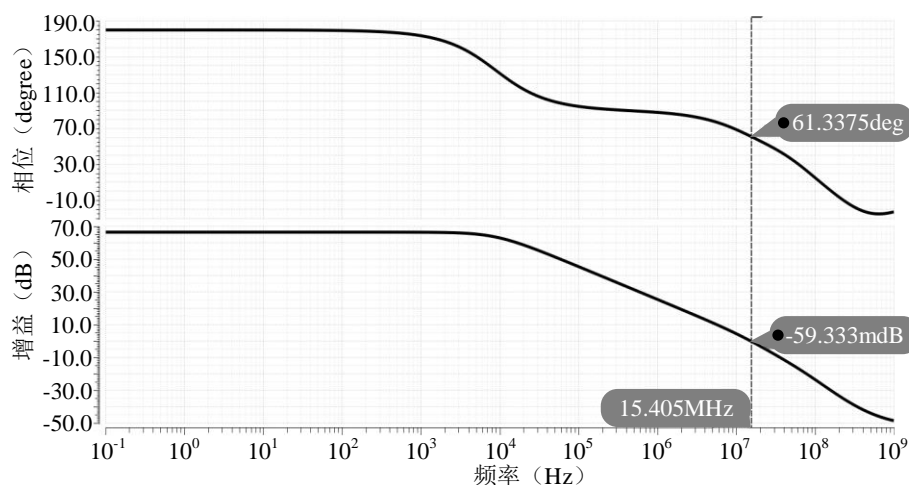


图4.3 LNA 单元的开环交流特性仿真结果

为了验证电流复用共源共栅 LNA 的共模抑制能力和电源抑制能力, 本文对 LNA 单元的共模抑制(CMRR)和电源抑制比(PSRR)也分别进行了仿真, CMRR 的仿真原理图如图 4.4 所示。四个电容取值相同, 在电容端施加交流激励, 差分输出就包含了 CMRR 的信息, 得到如图 4.5 所示的 CMRR 仿真结果图。由于全差分运放的对称性, 对输入共模电压变化有很好的抑制功能, 本文设计的电流复用 LNA 在 50Hz 的 CMRR 为-97.2dB。

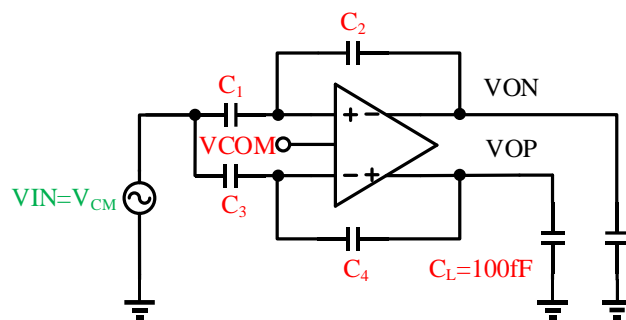


图4.4 LNA 单元的 CMRR 仿真原理图

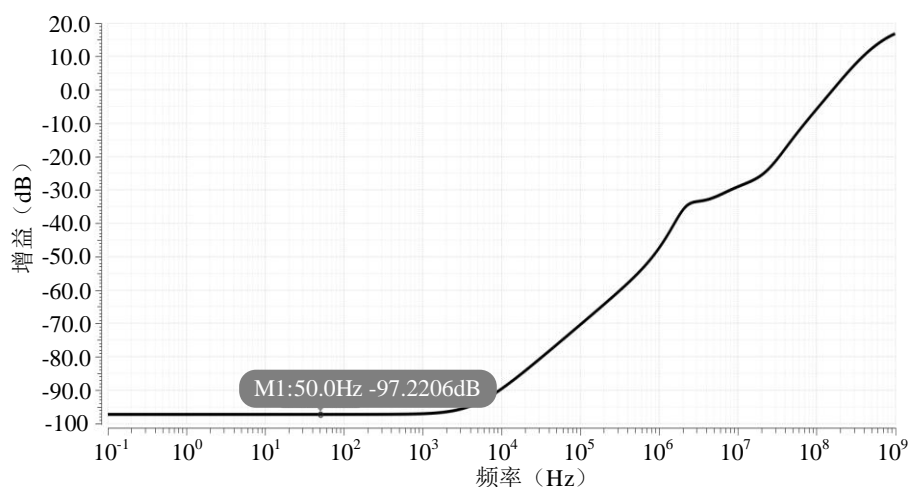


图4.5 LNA 单元的 CMRR 仿真结果

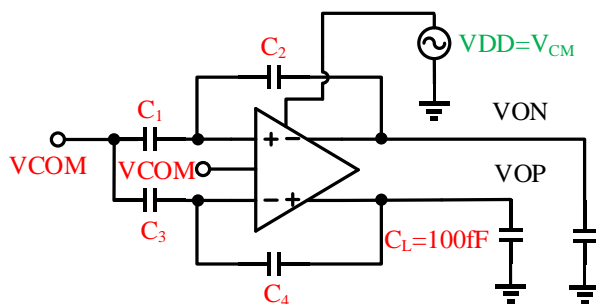


图4.6 LNA 单元的 PSRR 仿真原理图

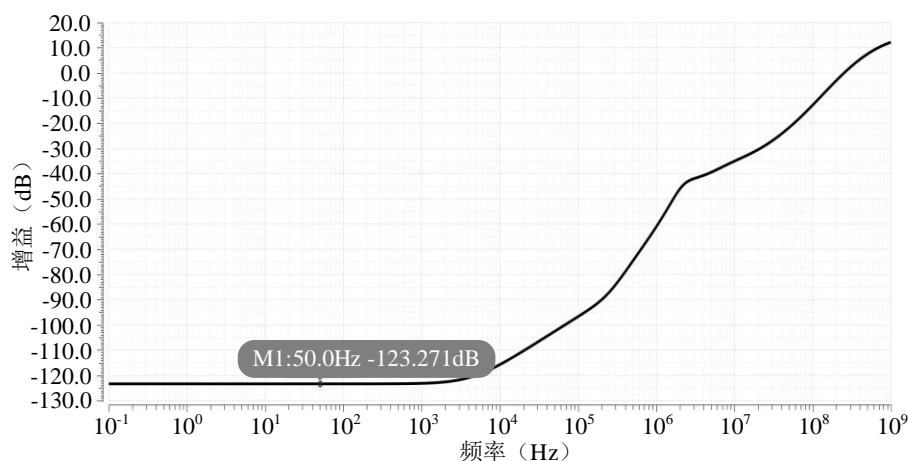


图4.7 LNA 单元的 PSRR 仿真结果

PSRR 的仿真原理图如图 4.6 所示, 进行 AC 分析并观察 VOP(或 VON)点波形, 即可测试出电源电压变化对输出共模电压的影响。PSRR 的仿真结果如图 4.7 所示, 本文设计的电流复用 LNA 在 50Hz 处的 PSRR 为-123.3dB。CMRR 性能以及 PSRR 性能均满足设计要求。

### 4.3.2 VGA 单元的交流特性仿真

在 300K 温度, TT 工艺角下, 第二级 VGA 单元的交流特性仿真原理图如图 4.8 所示。本文中有用信号经斩波调制后直接经过第一级 LNA 和第二级 VGA, 然后才会被解调。因此本文所设计的 VGA 不需要满足超低频率的高通极点, 但是需要满足-3dB 带宽大于等于 60kHz 的条件。仿真结果图如图 4.9 所示, 由图可知, 增益最高时的闭环带宽最小, 但是此时的-3dB 带宽也满足 60kHz 的要求, 因此 VGA 的性能满足系统的需要。

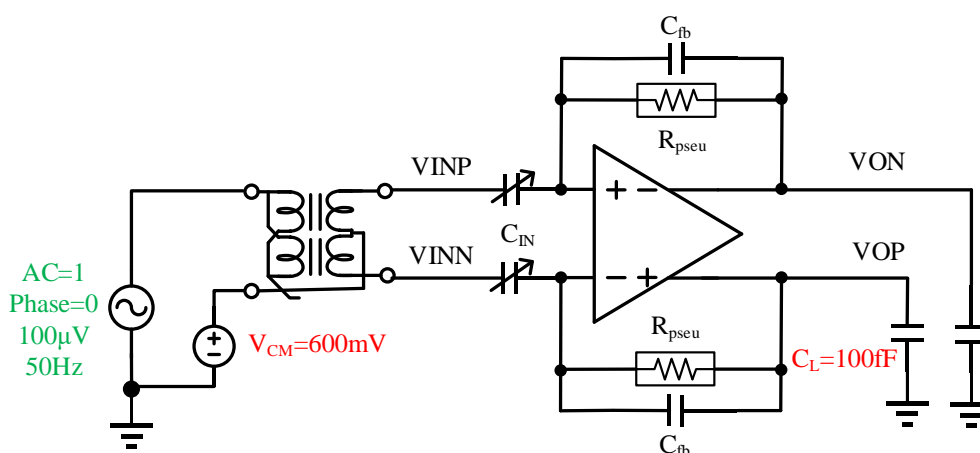


图4.8 VGA 单元的交流特性仿真原理图

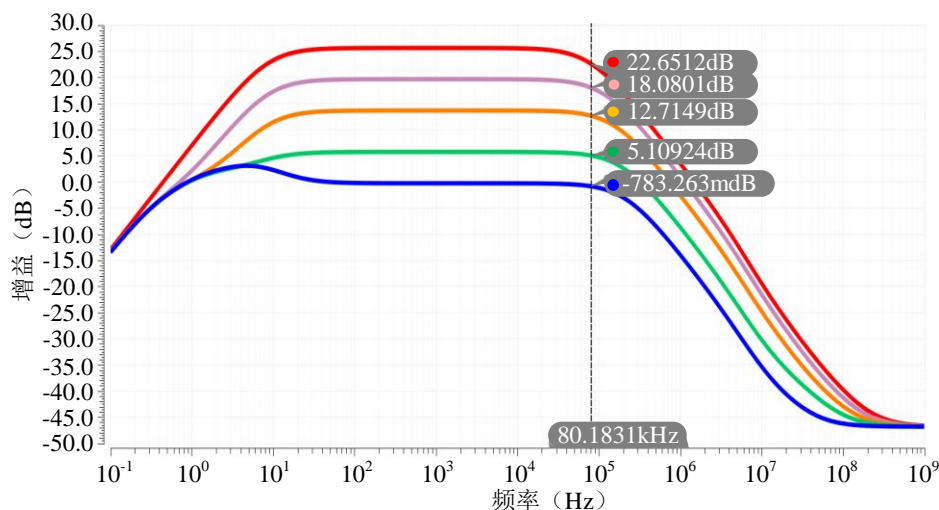


图4.9 VGA 单元在不同增益下的交流特性仿真结果

### 4.3.3 LPF 单元的交流特性仿真

作为多频调制下极为重要的滤波单元，应将低通滤波器的-3dB 截止频率设为信号带宽之外和斩波调制频率之内，以将调制到高频的噪声和失调进行滤除，并还原基频的信号。本文对设计的四阶 Gm-C 低通滤波器单元进行了交流特性的仿真验证，仿真原理图如图 4.10 所示，LPF 的仿真条件为 TT 工艺角，300K 温度。

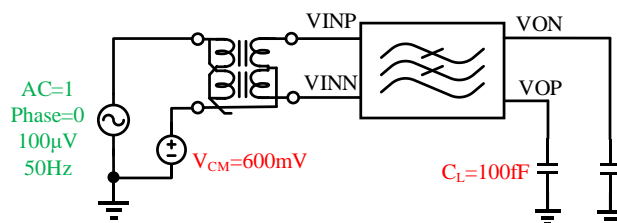


图4.10 LPF 单元的交流特性仿真原理图

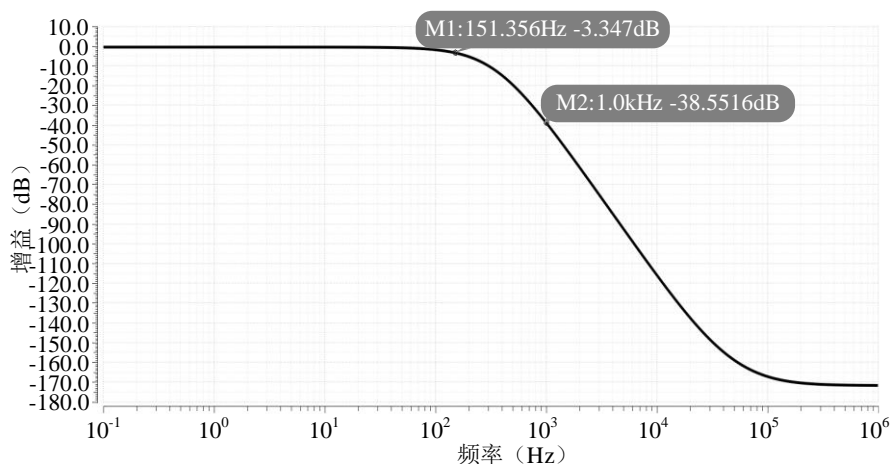


图4.11 LPF 单元的交流特性仿真结果

为了保证 0.1-100Hz 的信号带宽不受影响且留出一定的工艺漂移裕量, 本文所设计的低通滤波器的-3dB 带宽设置为 150Hz 左右。如图 4.11 所示为仿真结果图, 由图可知, 实际的-3dB 频率约为 151.4Hz。同时, 滤波器的通带增益为-0.34dB。由于四阶滤波器特性, 在最低斩波频率 1kHz 处, 增益衰减为-38.55dB, 可以满足滤除斩波造成的毛刺、滤除调制到高频的噪声和失调以及信号还原的需要。

#### 4.3.4 输入阻抗提升 Buffer 单元的交流特性仿真

基于全差分差动放大器的 Buffer 位于第一级斩波开关之后, 输入电容之前, 因此其闭环下的-3dB 带宽也要满足十倍的第一级斩波频率 4kHz 的要求, 即大于 40kHz, 如图 4.12 所示为输入阻抗提升 Buffer 单元的闭环交流特性仿真原理图, 条件为 300K 下, TT 工艺角。图 4.13 为仿真结果, 其-3dB 频率为 1.03MHz, 远远大于 40kHz, 是因为这里的电流并未被设计得很低, 这是由于电流和热噪声之间的折衷。虽然 Buffer 也在斩波环路之内, 可以将其 1/f 噪声经过调制后滤除, 但是其热噪声会对整体信号调理电路的噪声有较大的影响, 而噪声又与电流成反比, 所以该处功耗的设计考虑会与噪声有所折衷。

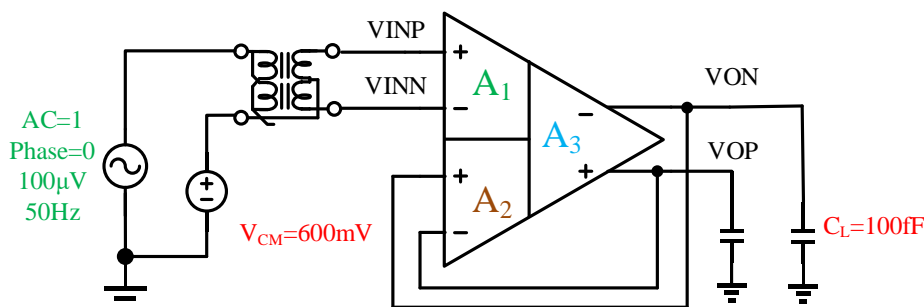


图4.12 输入阻抗提升 Buffer 单元的闭环交流特性仿真原理图

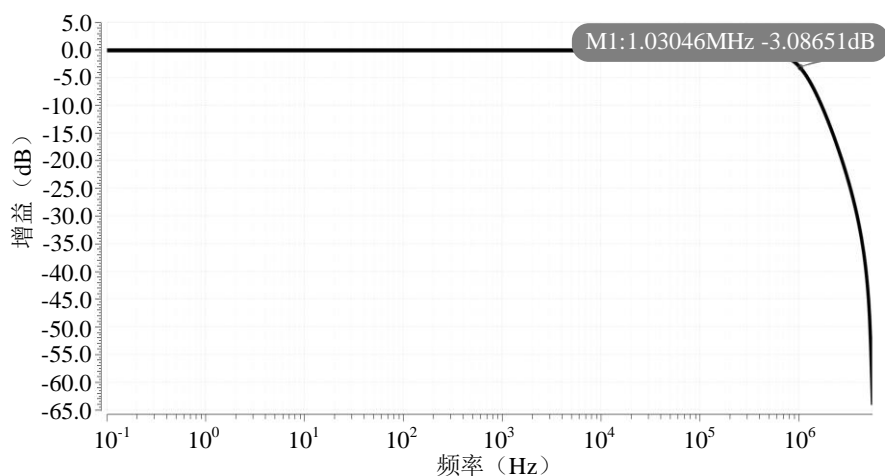


图4.13 输入阻抗提升 Buffer 单元的闭环交流特性仿真结果

### 4.3.5 改进的电流模基准源单元的温度特性仿真

在 $-45^{\circ}\text{C}$ - $125^{\circ}\text{C}$ 之间进行 TT 工艺角下改进的电流模基准源单元的输出温度特性仿真，基于直流仿真下的温度参数扫描得到图 4.14 所示的仿真结果，基准的零温度系数点约为  $33^{\circ}\text{C}$ ，在工作温度范围内最高输出基准电压为  $603.8550\text{mV}$ ，最低输出电压为  $601.6908\text{mV}$ ，通过温度系数公式<sup>[50]</sup>可得所设计带隙基准源的温度系数为  $21.1\text{ppm}/^{\circ}\text{C}$ 。本文设计的基准电压源仅用于为放大器的共模偏置电路提供参考电压，而该参考电压主要影响差分放大器的输出共模电压值。只要在工作温度范围内，放大器的输出共模电压值能够大概稳定在电源电压的一半，即可保证放大器的正常输出摆幅，因此该带隙基准源的输出基准电压值以及温度系数满足了应用的需求。

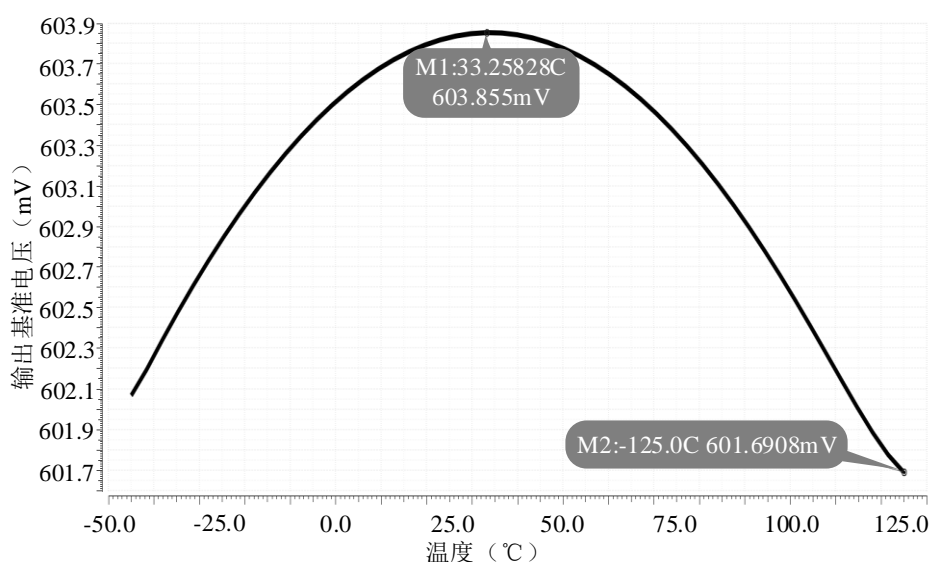


图4.14 改进的电流模基准源单元的温度特性仿真结果

## 4.4 整体电路的后仿真验证

### 4.4.1 信号调理电路的整体电路频率响应

对所设计的信号调理电路进行  $\text{Wal}_7$  通道(任意通道都可)的单通道频率响应仿真，仿真原理图如图 4.15 所示，条件为  $300\text{K}$  温度，TT 工艺角，第一级斩波频率为  $4\text{kHz}$ ，第二级斩波信号为  $\text{Wal}_7$  通道码，基于 DDA 的输入阻抗提升 Buffer 介于第一级斩波开关和输入电容之间，第二级 VGA 的增益被设置为  $26\text{dB}$ ，采用 PSS 和 PAC 仿真方法实现，得到如图 4.16 所示的仿真结果。由此可以看出，信号调理电路整体的通带增益为  $60.15\text{dB}$ ，略大于  $60\text{dB}$ ，这是由于 LNA 处的 T 型反馈电容不够精确导致的，但是由于 LNA 被复用，因此不会导致通道间增益失配的问题。 $-3\text{dB}$  截止频率为  $173.8\text{Hz}$ ，略大于预设的  $150\text{Hz}$ ，但是远低于最低斩波频率分量，因此可以将基于 DDA

的输入阻抗提升 Buffer、LNA 和 VGA 的失调和噪声滤除，满足设计指标要求。

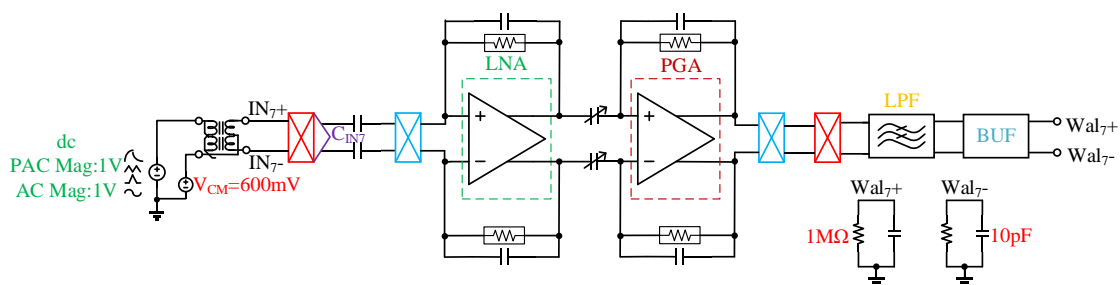


图4.15 单通道频率响应仿真原理图

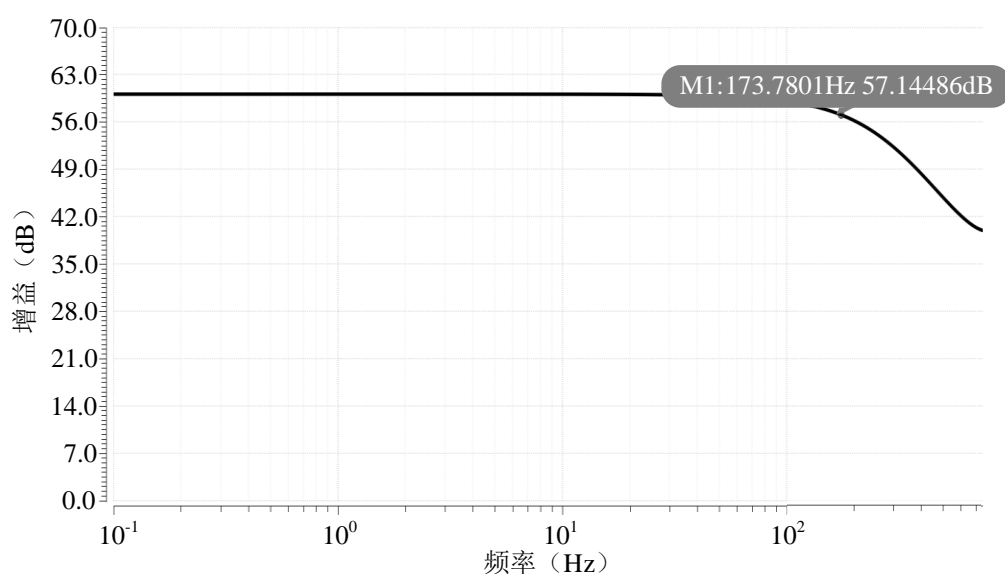


图4.16 单通道频率响应仿真结果

#### 4.4.2 信号调理电路的噪声特性仿真

对所设计的信号调理电路进行 Wal7 通道(任意通道都可)的单通道噪声特性仿真，仿真原理图如图 4.17 所示。

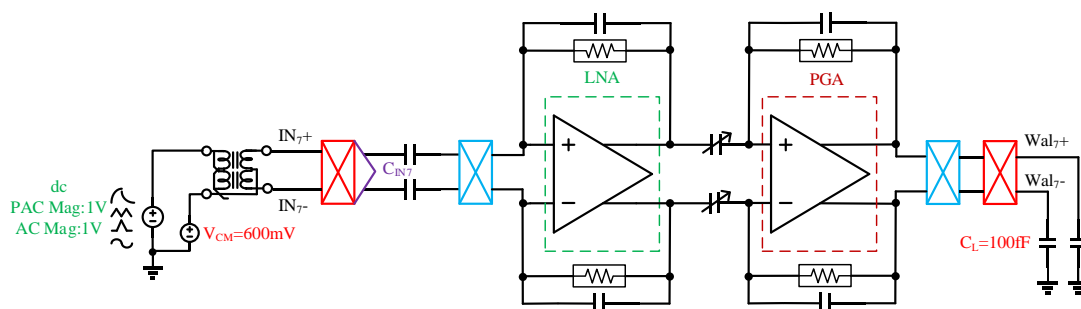


图4.17 单通道噪声特性仿真原理图

由于噪声主要由两级放大器决定,因此在未接低通滤波器的条件下进行噪声特性仿真,条件为 300K 温度,TT 工艺角,第一级斩波频率为 4kHz,第二级斩波信号为 Wal7 通道码,第二级 VGA 的增益被设置为 26dB,采用 PSS 和 PNOISE 仿真方法实现,得到如图 4.18 所示的仿真结果图。由此可以看出,在 0.1Hz-100Hz 带宽内,噪声的密度为  $24.76\text{nV}/\sqrt{\text{Hz}}$ ,单通道信号调理电路在 0.1Hz-100Hz 带宽内的总等效输入积分噪声约为  $0.27\mu\text{V}_{\text{rms}}$ ,符合设计要求。同时可以看到,低频 1/f 噪声经过斩波调制后被调制到了高频处,在 1kHz、5kHz 等处有噪声尖峰。

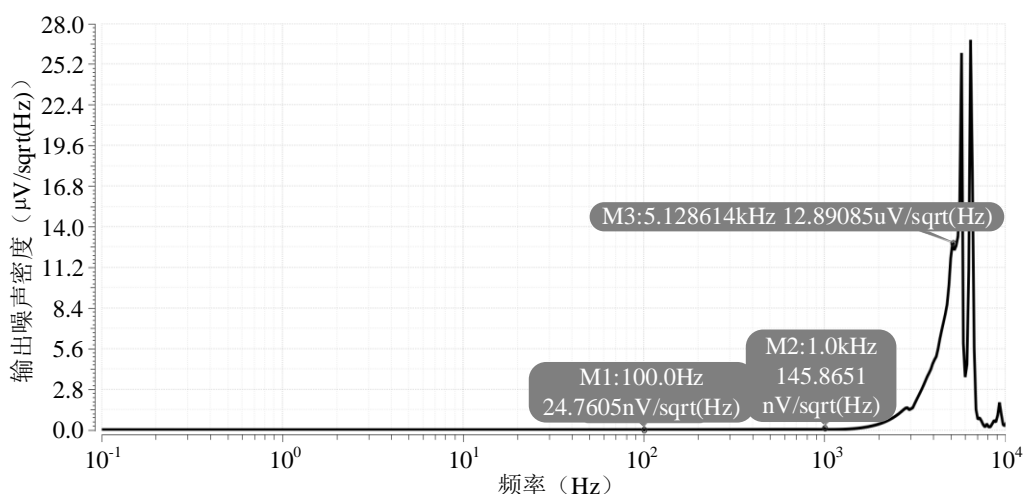


图4.18 单通道噪声特性仿真结果

#### 4.4.3 信号调理电路的输入阻抗特性仿真

通过在仿真信号源上引入  $200\text{M}\Omega$  的内阻  $R_S$ ,进行输入阻抗提升特性的仿真验证。 $R_S$ 与信号调理电路的等效输入阻抗  $R_{IN}$ 之间形成了小信号串联分压的关系,其余仿真条件为 300K 温度,TT 工艺角,第一级斩波频率为 4kHz,第二级斩波信号为 Wal7 通道码,基于 DDA 的输入阻抗提升 Buffer 介于第一级斩波开关和输入电容之间,第二级 VGA 的增益被设置为 26dB,采用 PSS 和 PAC 仿真,得到如图 4.19 所示的仿真结果图。设单通道信号调理电路整体的低频增益为  $A_{VA}$ ,则信号调理电路的有效总增益为  $A_{VF}$ 可以表示为:

$$A_{VF} = \frac{R_{IN}}{R_S + R_{IN}} A_{VA} \quad (4-1)$$

通过引入  $R_S$ ,并仿真引入  $R_S$ 前后的交流特性,可以得到引入  $R_S$ 前后的增益差  $\Delta A$ ,则有:

$$20\lg \frac{R_S + R_{IN}}{R_{IN}} = A_{VA} - A_{VF} = \Delta A \quad (4-2)$$

其中，增益单位均为 dB。由图 4.19 可得未引入内阻时的增益为 60.15848dB，引入内阻以后的增益为 59.92459dB，增益的变化量  $\Delta A$  为 0.23389dB，可以通过计算得到信号调理电路的输入阻抗约为 7327.78M $\Omega$  即大约 7.3G $\Omega$ ，能够满足干电极应用的需要，满足设计要求。

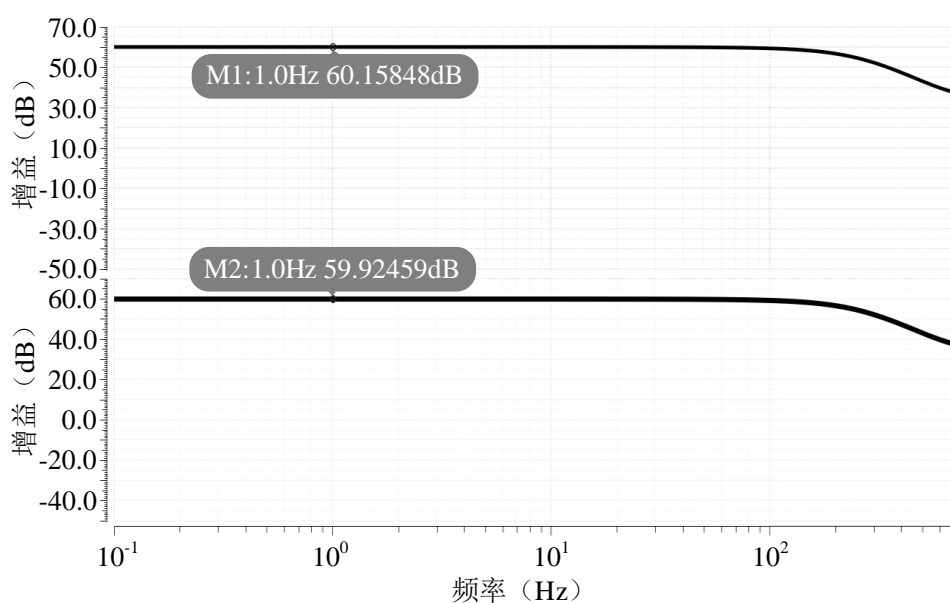


图4.19 单通道输入阻抗提升特性仿真结果

#### 4.4.4 信号调理电路的时钟信号仿真

图 4.20 为本文设计的振荡器、分频器以及正交码产生电路的信号波形图。

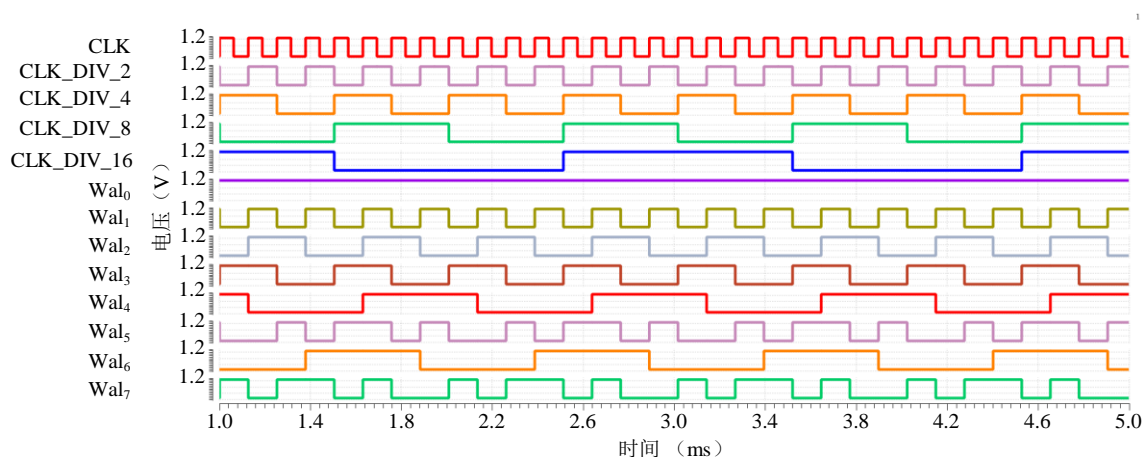


图4.20 振荡器、分频器以及正交码产生电路的信号波形图

由图可以看出，时钟振荡器正常工作，输出时钟频率 CLK 为 7.989kHz，经过分频后生成各个分频信号，其中 CLK\_DIV\_2 用于给第一级斩波开关提供控制信号，CLK\_DIV\_4、CLK\_DIV\_8 和 CLK\_DIV\_16 用于输入电容校准环路。CLK 信号经过 8 通道正交码产生电路后产生用于第二级斩波开关的控制信号 Wal0-Wal7。

#### 4.4.5 校准模式下信号调理电路的整体电路瞬态仿真

在校准模式下，输入电容校准环路需要时域比较器对低通滤波器的输出信号结果进行比较，并将比较结果输入到 SA Logic 电路，最后反馈给输入电容对应的补偿电容阵列进行开关控制。

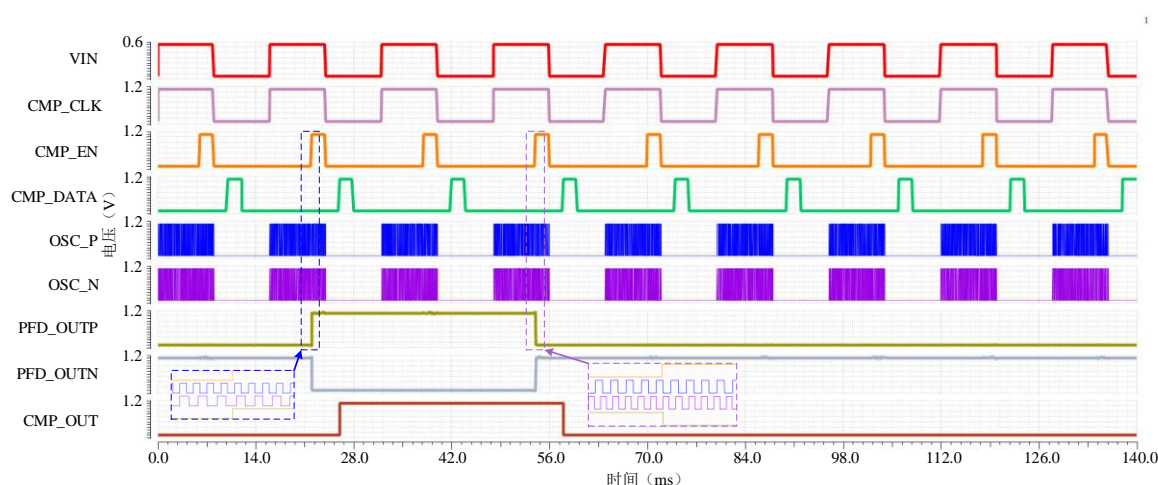


图4.21 时域比较器的关键信号波形图

图 4.21 为单个补偿电容阵列校准的时域比较器关键信号波形图，信号调理电路工作在校准模式下，Wal4通道的输入信号 VIN 为 600mV 的共模方波，频率为 62.5Hz，N 输入端口的输入电容为 1pF 的参考电容，P 输入端口为 0.9pF 的待校准输入电容，待校准电容配有 8 位补偿电容阵列 1~128fF，可以补偿 255fF 的电容值，理论上校准的精度可以使得增益失配降低到 0.1%。CMP\_CLK 信号为时域比较器的输入有效控制信号，在其为高电平时，低通滤波器的输出信号会对时域比较器内的压控延迟线产生信号控制进而改变其振荡周期 OSC\_P 和 OSC\_N，当输出信号的 P 端 VOUTP 电压高于 N 端 VOUTN 时，与之对应的 OSC\_P 的振荡频率会高于 OSC\_N，反之亦然，并且该信号控制鉴频鉴相器的使能端，对 OSC\_P 和 OSC\_N 的频率高低进行鉴别。在 CMP\_CLK 单个周期的高电平有效时间段内，取其最后 1/4 时间为高电平作为鉴频鉴相器之后 RS 触发器的控制信号，对鉴频鉴相器的结果进行输出。然后 CMP\_DATA 用来作为时域比较器之后的 D 触发器的使能端，以对时域比较器的输出结果进行保持或者翻转。从图中可以看出，在输入信号 VIN 的第二个周期时，OSC\_P 的频率高

于 OSC\_N, 因此时域比较器的输出结果在 CMP\_DATA 的上升沿跳转至高电平; 在输入信号 VIN 的第四个周期时, OSC\_P 的频率低于 OSC\_N, 因此时域比较器的输出结果在 CMP\_DATA 的上升沿跳转至低电平。CMP\_OUT 为时域比较器经过相连的 D 触发器后的输出结果, 然后将该信号传递给 SA Logic 电路进行电容阵列的信号控制。

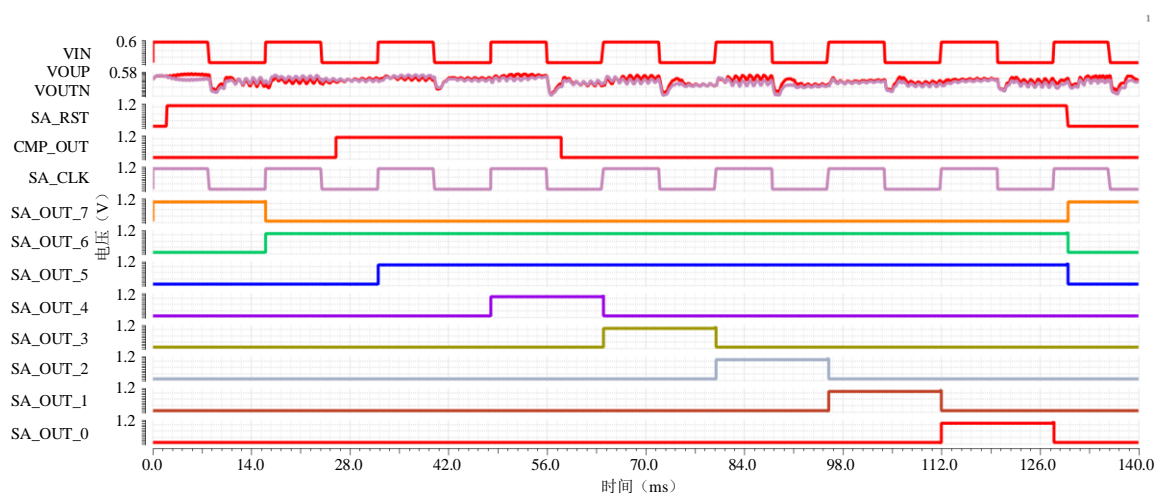


图4.22 SA Logic 电路的关键信号波形图

表4.2 输入电容校准结果

电容	校准结果码	电容	校准结果码
C <sub>00</sub>	01100011	C <sub>01</sub>	01100001
C <sub>20</sub>	01100010	C <sub>21</sub>	01100011
C <sub>30</sub>	01100011	C <sub>31</sub>	01100010
C <sub>40</sub>	01100000	C <sub>41</sub>	01100001
C <sub>50</sub>	01100011	C <sub>51</sub>	01100010
C <sub>60</sub>	01100001	C <sub>61</sub>	01100011
C <sub>70</sub>	01100010	C <sub>71</sub>	01100001

SA Logic 电路的关键信号波形如图 4.22 所示。由图可知, 由于输入电容两端的不匹配, 导致在输入共模方波信号的条件下, 低通滤波器的输出端 VOUTP 和 VOUTN 电压不一致, 经过时域比较器的判断, CMP\_OUT 传递给 SA Logic 电路进行判断结果的输出。最高位被置为高电平时, VOUTP 大于 VOUTN, 因此将此位置为低电平并关断最高位的 128fF 补偿电容, 由 SA Logic 电路控制进行下一位的高电平置位判断。最终判断的结果为“01100000”, 对应补偿电容值为 96fF, 在 P 端输入电容为 0.9pF, N 端输入电容为 1pF 的条件下, 补偿精度达到了 99.6%, 该结果也可从信号 VOUTP 和 VOUTN 之间的波形图看出, 在初始时刻, VOUTP 和 VOUTN 信号差别很大, 到

最后一位补偿电容校准完毕时，二者的信号波形几乎一致。该补偿电容阵列校准完毕后，由 16 选 1 选择器进行该阵列电容的 RS 触发器的使能端关闭，保持校准结果，并进行下一个输入电容的校准，直至 14 个输入电容全部校准完毕，电路切换到信号的正常放大模式。全部 14 个输入电容的校准结果如表 4.2 所示。各个电容的校准结果不一致的原因是各个通道都存在输入阻抗提升 Buffer 以及低通滤波器，会对校准结果有一定的影响，因此实际的通道间增益失配结果应对整体进行仿真来进行验证，这在后续小节会有说明。

#### 4.4.6 正常工作模式下信号调理电路的整体电路瞬态仿真

图 4.23 为本文所设计的应用于脑电信号采集的信号调理电路在正常工作模式下的整体电路瞬态仿真原理图。

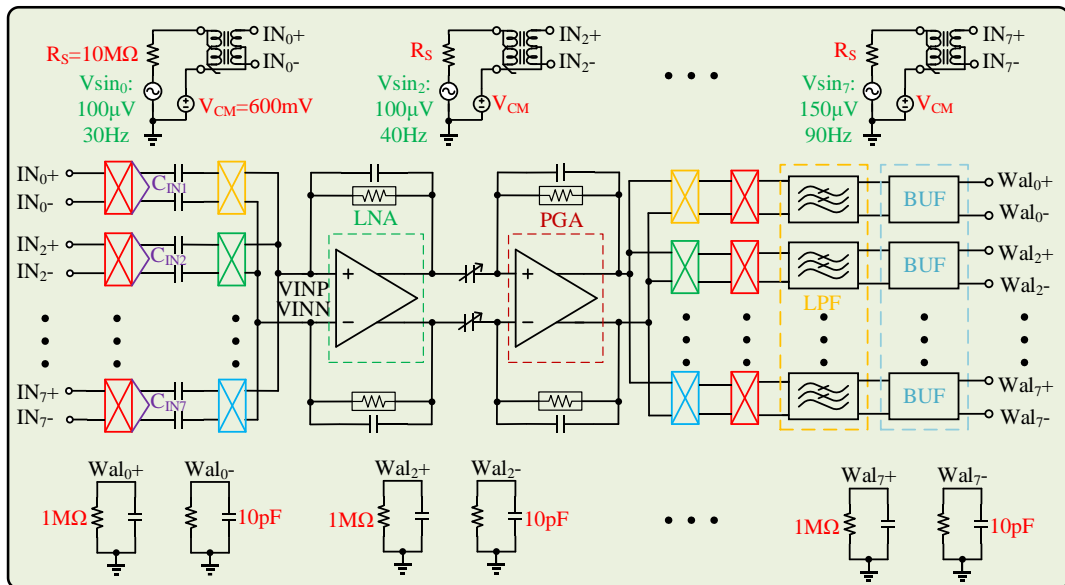


图4.23 正常工作模式下的整体电路瞬态仿真原理图

仿真的输入正弦信号被设置为  $Wal_0$  通道幅值  $100\mu\text{V}$ ，频率 30Hz； $Wal_2$  通道幅值  $100\mu\text{V}$ ，频率 40Hz； $Wal_3$  通道幅值  $100\mu\text{V}$ ，频率 50Hz； $Wal_4$  通道幅值  $150\mu\text{V}$ ，频率 60Hz； $Wal_5$  通道幅值  $150\mu\text{V}$ ，频率 70Hz； $Wal_6$  通道幅值  $150\mu\text{V}$ ，频率 80Hz； $Wal_7$  通道幅值  $150\mu\text{V}$ ，频率 90Hz；输入源内阻为  $10\text{M}\Omega$ ，共模电平为  $600\text{mV}$ ，经过 ideal\_balun 将正弦信号转换为差分信号实现信号输入；图中在 LPF 之后连接有用于测试的输出缓冲器以及负载，其中单端负载为并联连接的  $1\text{M}\Omega$  电阻和  $10\text{pF}$  电容。图 4.24 为整体电路的瞬态仿真结果，可以看出，信号调理电路放大功能正常，经过解调和 LPF 滤波后，原始信号得到了还原。

测量通道间的串扰结果如表 4.3 所示，当  $100\mu\text{V}$ ，80Hz 的正弦波输入信号输入

到  $Wal_0$  通道，其余通道输入短接时，测量  $Wal_0$  通道和其余通道的输出频谱，其中， $Wal_0$  通道的输出信号频谱如图 4.25 所示。

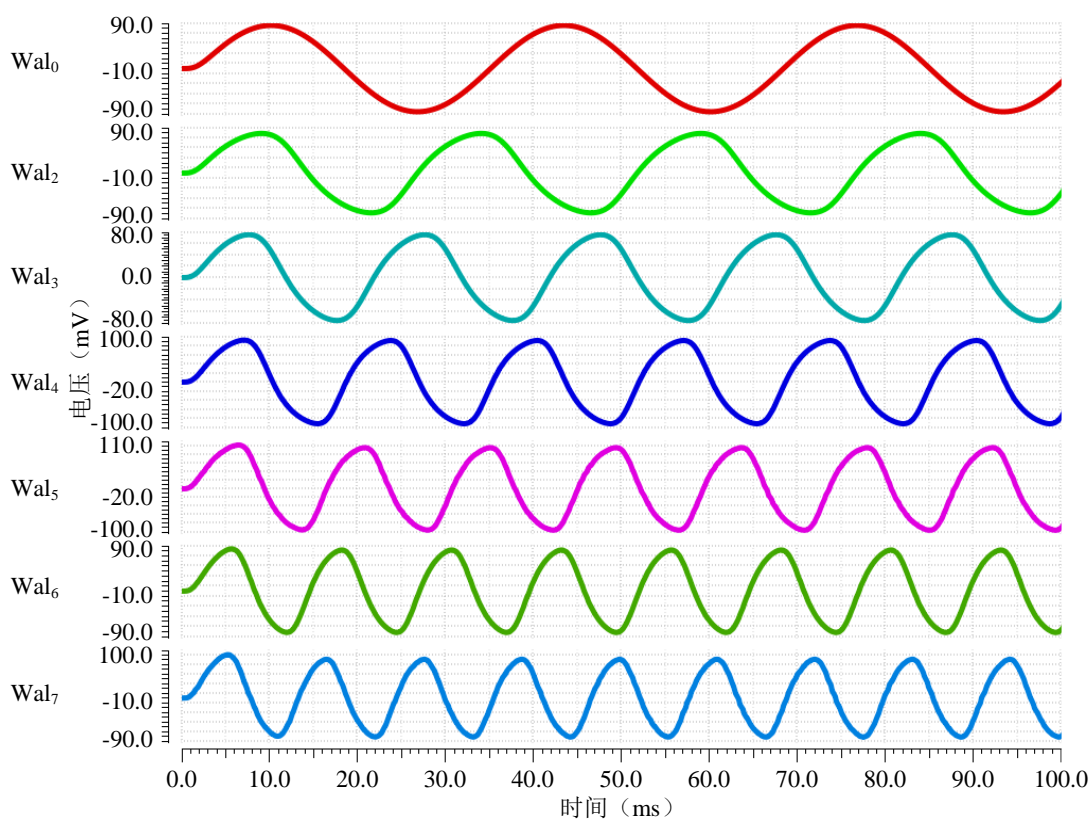


图4.24 正常工作模式下的整体电路瞬态仿真结果

表4.3 七通道正交码分复用信号调理电路的串扰仿真结果

通道	串扰频率 (Hz)	幅值 (dB)	串扰 (dB)
$Wal_2$	80	-116.62	-93.15
$Wal_3$	80	-107.95	-84.48
$Wal_4$	80	-111.65	-88.18
$Wal_5$	80	-102.38	-78.91
$Wal_6$	80	-102.68	-79.21
$Wal_7$	80	-122.14	-98.67

由图 4.25 可以看出， $Wal_0$  通道输出信号幅值约为 -23.47dB，三次谐波约为 -66.33dB，则 THD 约为 -42.86dB，即 0.72%，达到了生物医疗信号信号调理电路失真小于 1% 的

要求。根据<sup>[32]</sup>, 串扰应低于记录信号电平的 1%, 以使其与背景噪声相比可忽略不计。因此, 通道间串扰应小于-40dB。由表 4.3 可知, 通道间的串扰都远低于-40dB 的指标, 最差值为-78.91dB, 充分展示出正交码分复用方案下通道间串扰的抑制效果。

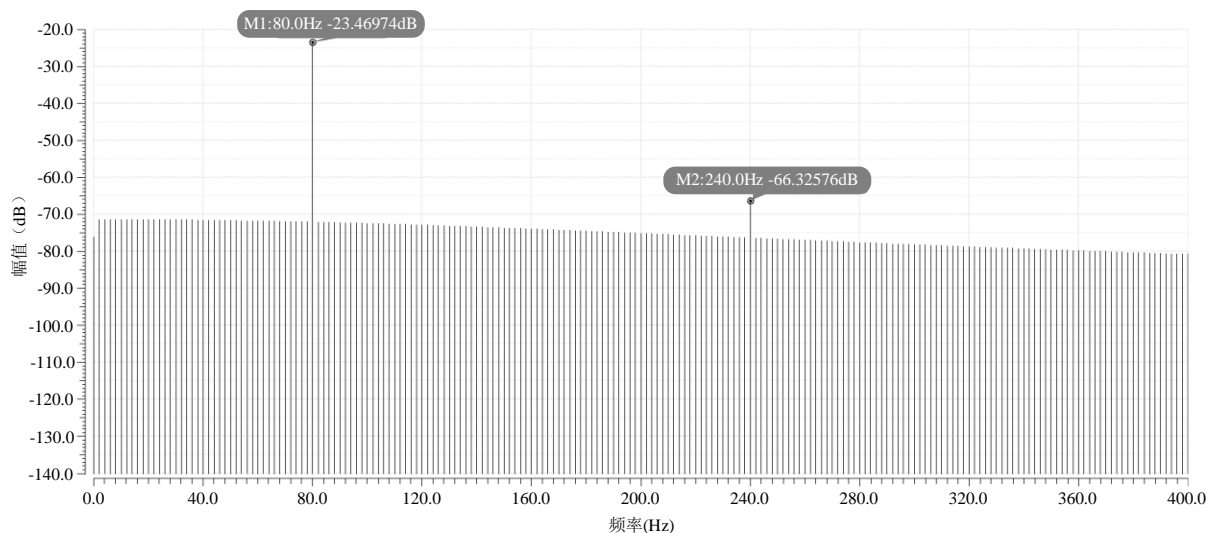


图4.25  $Wal_0$  通道的输出信号频谱图

#### 4.4.7 信号调理电路的通道间增益失配仿真

经过输入电容校准环路校准过输入电容后, 对信号调理电路的 7 个通道进行通道间增益失配的仿真验证。输入源内阻设为  $10M\Omega$ , 分别对各个通道进行 PAC 特性仿真, 仿真结果如图 4.26 所示, 并对比 50Hz 处的通道间增益失配结果。

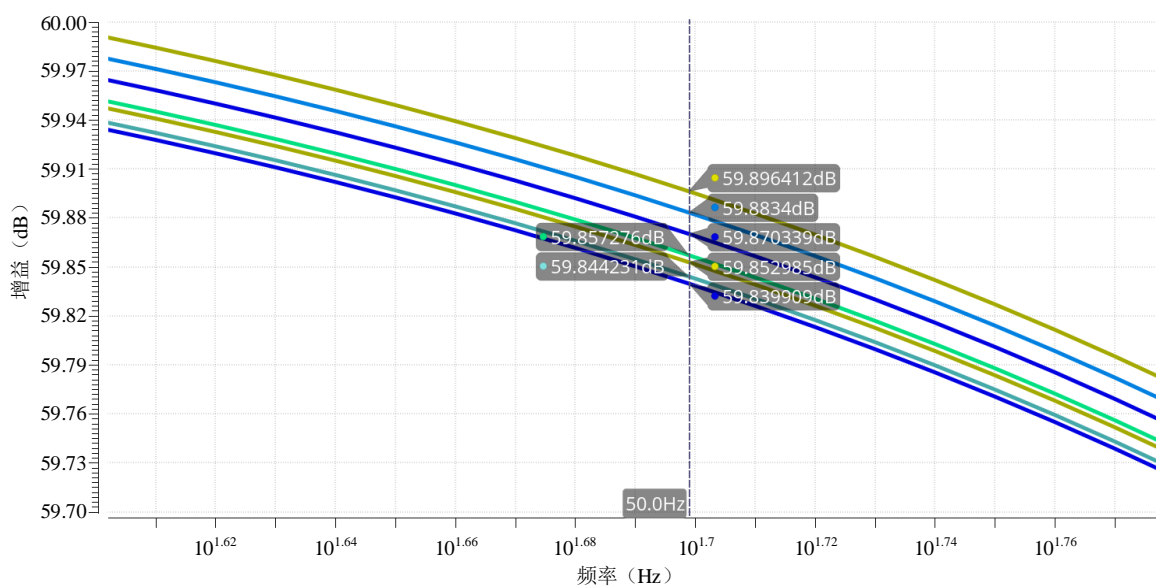


图4.26 七通道的通道间增益失配仿真结果图

由图 4.26 可知，最高增益为 59.896dB，最低增益为 59.840dB，最差通道间增益失配为 0.65%，满足设计指标要求，更重要的是，这证明了双斩波调制技术成功解决了在  $10M\Omega$  输入源内阻下多频调制带来的通道间输入阻抗不匹配的问题，也证明了输入电容校准环路将各通道间输入电容的匹配精度提升到了较高范围。但是通道间增益失配并未达到输入电容校准精度的 0.4%，这部分的失配主要来源于输入阻抗提升 Buffer 以及低通滤波器单元，即以一定的增益失配、功耗和面积换来了输入阻抗的提升，以满足应用于脑电信号采集的信号调理电路的应用要求。

#### 4.4.8 信号调理电路的整体功耗

本文所设计的应用于脑电信号采集的多通道信号调理电路的整体功耗图如图 4.27 所示，在 1.2V 电源电压下，总静态电流为  $35.4\mu A$ ，总静态功耗为  $42.48\mu W$ ，平均每通道的功耗为  $6.07\mu W$ ，符合设计要求。

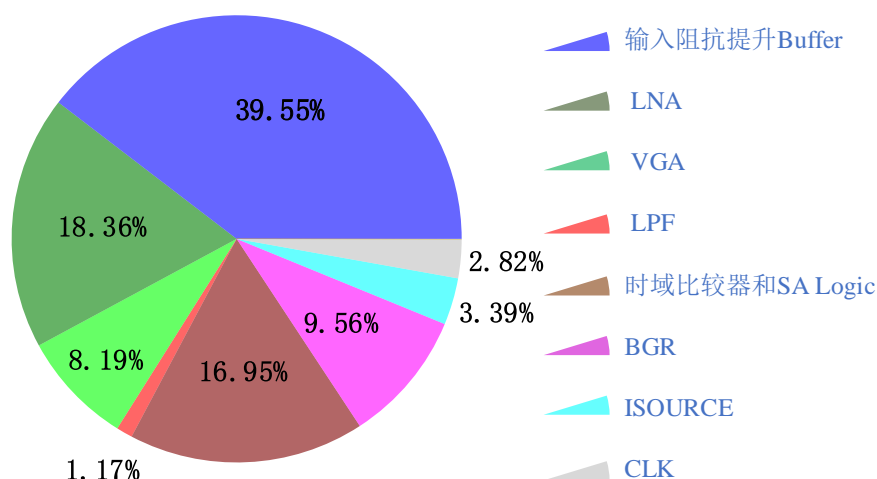


图4.27 信号调理电路的整体功耗占比图

### 4.5 信号调理电路的性能对比

将本文所设计的应用于脑电信号采集的多通道信号调理电路的性能与近年来同领域的研究成果进行对比，如表 4.4 所示。通过和表中文献的对比可以得知，本文所设计的信号调理电路的多项性能指标均达到了先进水平。本文基于正交码分复用方案的高通道间串扰抑制能力的优点，以 3 位 Walsh-Hadamard 编码为例进行了 7 通道信号调理电路的设计，所实现的通道间串扰仅为  $-78.91dB$ 。本文所提出的双斩波调制技术通过统一第一级斩波调制的频率，有效地提升了各通道间的等效输入阻抗匹配度，与此同时，所提出的基于逐次逼近的输入电容校准环路能够在较低的输入电容面积下，

将输入电容的精度进行提升，两种技术最终在主放大器结构的每通道面积仅为  $0.053\text{mm}^2$  的前提下，实现了 0.65% 的通道间增益失配结果。虽然每通道的功耗仍相对较高，为  $6.07\mu\text{W}$ ，但是主要消耗在基于 DDA 的输入阻抗提升 Buffer 处，换来的优势是  $7.3\text{G}\Omega$  的极高输入阻抗以及仅为  $24.76\text{nV}/\sqrt{\text{Hz}}$  的输入参考噪声密度，有效地弥补了多频斩波技术以及码分复用技术下信号调理电路等效输入阻抗较低的缺点。

表4.4 性能对比表

	[6] 2020 JSSC <sup>M</sup>	[14] 2019 TVLSI <sup>M</sup>	[47] 2022 SENSORS <sup>M</sup>	[52] 2020 JSSC <sup>M</sup>	本文 <sup>S</sup>
工艺	180nm	130nm	180nm	180nm	65nm
通道数	15	2	4	64	7
带宽/Hz	490	550	100	15.7M	100
增益/dB	40-56	40	33.6-59.3	33	34-60
输入参考噪声/ $\text{nV}/\sqrt{\text{Hz}}$	155	130	$1.74\mu\text{V}_{\text{rms}}$ (0.5-100)	$1.7(\text{pA}/\sqrt{\text{Hz}})$	24.76
通道间串扰/dB	-51.5	-78.6	N/A	N/A	-78.91
增益失配/%	0.43	1.9	0.8	0.848	0.65
等效输入阻抗/ $\Omega$	N/A	N/A	$1.29\text{G}$	N/A	$7.3\text{G}$
电源电压/V	1.2(analog)/ 1.5(digital)	1.2	1.2	1.2	1.2
每通道功耗/ $\mu\text{W}$	1.97	0.432	2.48	5200	6.07
每通道面积/ $\text{mm}^2$	$0.019^{\text{A}}$	$0.34^{\text{AL}}$	$0.048^{\text{A}}$	$0.12^{\text{A}}$	$0.122^{\text{AL}}/$ $0.053^{\text{A}}$

<sup>S</sup>: Simulated (仿真结果), <sup>M</sup>: Measured (测试结果), N/A: 文中未给出, <sup>A</sup>: 仅放大器, <sup>AL</sup>: 放大器+滤波器

## 4.6 本章小结

本章首先基于 65nm 的标准 CMOS 工艺介绍了本文所设计的多通道信号调理电路的版图，随后对各个关键单元的性能进行了对应的后仿真验证，并整体上对所提出的双斩波调制技术、输入电容校准环路以及输入阻抗提升 Buffer 进行功能验证，仿真

结果与目前同领域内先进成果进行对比,显示出本文所设计的信号调理电路的各项性能均达到了先进水平。

## 第五章 总结与展望

### 5.1 设计总结

随着生活节奏的不断加快以及各种心血管疾病对人们潜在威胁的不断加重,可穿戴或可植入式脑电信号采集芯片的研发需求也在不断地增加。为了提升用户的佩戴舒适度以及降低使用成本,国内外的众多公司以及各个高校的研究人员对高性能、低功耗的脑电采集芯片进行着不断地研究。低幅值、低频率脑电信号的高质量采集本身就存在着较多的设计难点,而不断增加的采集电极数量使得芯片的功耗和面积随着通道数的增加也急剧地增加,这进一步提升了设计的难度。为了解决低噪声放大器在多通道应用下的设计难题,本文对应用于脑电信号采集的多通道信号调理电路进行了深入研究,设计了基于正交码分复用技术的多通道信号调理电路,并在 65nm 的标准 CMOS 工艺下进行了功能验证和性能仿真。本文的主要研究内容及成果如下:

(1)为了选择最佳的多通道复用方案,本文对目前常用的复用方案进行了优缺点分析与对比,最终选择具有连续时间放大功能以及高通道间串扰抑制能力的正交码分复用方案进行本文的设计。然而码分复用技术作为多频斩波技术的一种,其通道间斩波频率的不同导致通道间等效输入阻抗的不匹配,进而降低了通道间的增益匹配程度。为此,本文提出了一种双斩波调制技术,通过统一第一级斩波开关的频率,实现了通道间等效输入阻抗的匹配。虽然双斩波调制技术要求第一级斩波开关频率需要是第二级斩波开关频率的 2 的整数倍,才能实现较好的谐波抑制特性,即导致 LNA 和 VGA 的带宽需要相对应的提高,但是由于激活了  $Wal_0$  通道码的使用,同时舍弃了最高斩波频率的  $Wal_1$  通道,因此与传统码分复用技术在相同位数的 Walsh-Hadamard 编码相比具有相同的极限通道数量,与正交频分复用技术相比以相对较小的额外功耗为代价有效地解决了多频斩波调制下通道间等效输入阻抗不匹配的问题。

(2)为了解决传统码分复用方案输入电容面积较大的问题,本文采用 T 型电容结构将第一级 LNA 的反馈电容值降低到了 20fF,在第一级 LNA 的增益为 34dB 的条件下,输入电容值降低为 1pF。较小的输入电容值对应着电容之间的失配问题愈加严重,这会导致通道间增益失配问题的加剧。为了解决该问题,本文提出了基于 SA Logic 电路的输入电容校准环路,通过对输入电容进行校准,提升了输入电容的精确度以及不同输入电容之间的匹配度。由于时域比较器相比于传统的动态比较器具有更低的噪声和直流失调,因此校准环路中的比较器采用时域比较器进行设计。通过对输入电容校准环路的仿真验证可以得知,补偿电容的补偿精度达到了 99.6%,同时基于此时较高的输入电容精度和匹配度,通道间的增益失配被降低到了仅为 0.65%,达到了先进水

平。

(3)码分复用方案下难以解决的低等效输入阻抗的问题严重制约着采集信号的质量,本文通过采用基于 DDA 的输入阻抗提升 Buffer,将斩波开关与输入电容之间的开关电容结构改变为斩波开关与 DDA 输入对管寄生电容之间的开关电容结构,有效地提升了信号调理电路的等效输入阻抗,仿真结果显示,等效输入阻抗值达到了  $7.3\text{G}\Omega$ ,远超干电极信号采集的几百  $\text{M}\Omega$  的标准。同时,较高的等效输入阻抗也进一步减小了通道间等效输入阻抗的不匹配。

## 5.2 研究展望

本文完成了应用于脑电信号采集的多通道信号调理电路设计的实现,仿真结果以及与先进成果的对比表明了本文所设计电路的先进性能,然而由于个人能力不足且时间有限,所设计的信号调理电路还需要在以下方面进行深入研究:

(1)虽然基于 DDA 的输入阻抗提升 Buffer 有效地提升了信号调理电路的等效输入阻抗,但是带来的面积和功耗的消耗还是较大的,后续可以进行其他输入阻抗提升方案的研究,以降低整体的功耗和面积。

(2)在片上电路的设计中,LPF 的存在无可避免地消耗了较大的面积,后续可以研究相关的射频收发电路,将放大后的信号进行量化与发送,进行片外数字系统的滤波等功能,以降低整体的面积消耗。

(3)输入电容校准环路的校准精度为 99.6%,未达到 100%的原因,应该是时域比较器自身仍存在一定的失调和噪声影响,因此后续可以研究如何实现更低失调和噪声的时域比较器以进一步提升输入电容校准环路的校准精度。

(4)由于时间有限,流片还未完成,因此本文仅对所设计的信号调理电路进行了版图实现以及前后仿真验证,无法对芯片进行实测。后续芯片流片回来后,可以进行相对应的实际测试,以验证所设计芯片的实际性能与功能。

## 参考文献

- [1] 中国心血管健康与疾病报告编写组. 中国心血管健康与疾病报告 2021 概要[J]. 心脑血管病防治, 2022, 22(04): 20-36.
- [2] M. S. Patel, D. A. Asch, K. G. M. Volpp. Wearable devices as facilitators, not drivers, of health behavior change[J]. JAMA, 2015, 313(5): 459-460.
- [3] M. Sawan. Emerging Trends of Biomedical Circuits and Systems[M]. J. Yang, M. Tarkhan et al. China: Now Foundations and Trends, 2021.
- [4] A. Barazanchi, W. Hashim, A. A. Alkahtani, et al. Overview of WBAN from Literature Survey to Application Implementation[C]. 2021 8th International Conference on Electrical Engineering, Computer Science and Informatics (EECSI). 2021: 16-21.
- [5] H. Chandrakumar, D. Marković. A High Dynamic-Range Neural Recording Chopper Amplifier for Simultaneous Neural Recording and Stimulation[J]. IEEE Journal of Solid-State Circuits, 2017 52(3): 645-656.
- [6] J. H. Park, T. Tang, L. Zhang, et al. A 15-Channel Orthogonal Code Chopping Instrumentation Amplifier for Area-Efficient, Low-Mismatch Bio-Signal Acquisition[J]. IEEE Journal of Solid-State Circuits, 2020, 55(10): 2771-2780.
- [7] Z. Zhou, L. Zhu, R. Yang, et al. A High CMRR Instrumentation Amplifier Employing Pseudo-Differential Inverter for Neural Signal Sensing[J]. IEEE Sensors Journal, 2022, 22(1): 419-427.
- [8] R. R. Harrison, C. Charles. A low-power low-noise CMOS amplifier for neural recording applications[J]. IEEE J. Solid-State Circuits, 2003, 38(6): 958-965.
- [9] T. M. Seese, H. Harasaki, G. M. Saidel, et al. Characterization of tissue morphology, angiogenesis, and temperature in the adaptive response of muscle tissue to chronic heating[J]. Lab. Investigation, 1998, 78(12): 1553-1562.
- [10] 邵文. 脑机接口之父”尼科莱利斯为何离开学界, 加入中国初创企业[R]. 澎湃新闻, 2021.
- [11] H. Chandrakumar, D. Marković. A High Dynamic-Range Neural Recording Chopper Amplifier for Simultaneous Neural Recording and Stimulation[J]. IEEE Journal of Solid-State Circuits, 2017, 52(3): 645-656.
- [12] M. Rezaei, E. Maghsoudloo, C. Bories, et al. A Low-Power Current-Reuse Analog Front-End for High-Density Neural Recording Implants[J]. IEEE Transactions on Biomedical Circuits and Systems, 2018, 12(2): 271-280.
- [13] J. Lee, K. Lee, U. Ha, et al. A 0.8-V 82.9- $\mu$ W In-Ear BCI Controller IC With 8.8 PEF EEG Instrumentation Amplifier and Wireless BAN Transceiver[J]. IEEE Journal of Solid-State Circuits,

- 2019, 54(4): 1185-1195.
- [14] P. Khatavkar, S. Aniruddhan. 432 nW per Channel 130 nV/rtHz ECG Acquisition Front End With Multifrequency Chopping[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(9): 2021-2032.
- [15] T. Tang, W. L. Goh, L. Yao, et al. An Integrated Multi-Channel Biopotential Recording Analog Front-End IC With Area-Efficient Driven-Right-Leg Circuit[J]. IEEE Transactions on Biomedical Circuits and Systems, 2020, 14(2): 297-304.
- [16] Y. Park, J. -H. Cha, S. -H. Han, et al. A 3.8- $\mu$ W 1.5-NEF 15-G $\Omega$  Total Input Impedance Chopper Stabilized Amplifier With Auto-Calibrated Dual Positive Feedback in 110-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2022, 57(8): 2449-2461.
- [17] L. Fang, P. Gui. A Low-Noise Low-Power Chopper Instrumentation Amplifier With Robust Technique for Mitigating Chopping Ripples[J]. IEEE Journal of Solid-State Circuits, 2022, 57(6): 1800-1811.
- [18] Y. -L. Tsai, F. -W. Lee, T. -Y. Chen, et al. 5.3 A 2-channel  $-83.2$ dB crosstalk  $0.061\text{mm}^2$  CCIA with an orthogonal frequency chopping technique[C]. 2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers, 2015: 1-3.
- [19] J. Zheng, W. -H. Ki, C. -Y. Tsui. A Fully Integrated Analog Front End for Biopotential Signal Sensing[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(11): 3800-3809.
- [20] L. Lyu, D. Ye, C. -J. R. Shi. A 340 nW/Channel 110 dB PSRR Neural Recording Analog Front-End Using Replica-Biasing LNA, Level-Shifter Assisted PGA, and Averaged LFP Servo Loop in 65 nm CMOS[J]. IEEE Transactions on Biomedical Circuits and Systems, 2020, 14(4): 811-824.
- [21] S. Zhang, X. Zhou, C. Gao, et al. An AC-Coupled Instrumentation Amplifier Achieving 110-dB CMRR at 50 Hz With Chopped Pseudoresistors and Successive-Approximation-Based Capacitor Trimming[J]. IEEE Journal of Solid-State Circuits, 2021, 56(1): 277-286.
- [22] S. -J. Kim, S. -H. Han, J. -H. Cha, et al. A sub- $\mu$ W/Ch analog front-end for  $\Delta$ -neural recording with spike-driven data compression[J]. IEEE Trans. Biomed. Circuits Syst, 2019, 13(1): 1-14.
- [23] B. Lee, y. Jia, S. A. Mirbozorgi, et al. An inductively-powered wireless neural recording and stimulation system for freely-behaving animals[J]. IEEE Trans. Biomed. Circuits Syst, 2019, 13(2): 413-424.
- [24] G Deuschl, A Eisen. Recommendations for the practice of clinical neurophysiology: Guidelines of the International Federation of Clinical Neurophysiology[J]. Electroencephalography and Clinical Neurophysiology, 1999, 52.
- [25] H. Stevenson, K. P. Kording. How advances in neural recording affect data analysis[J]. Nature

- Neurosci, 2011, 14(2): 139.
- [26] Spinelli E M, Martinez N, Mayosky M A. A novel fully differential biopotential amplifier with DC suppression[J]. IEEE Transactions on Biomedical Engineering, 2004, 51(8):1444-1448.
- [27] Harrison R R, Charles C. A low-power low-noise CMOS amplifier for neural recording applications[J]. IEEE Journal of Solid-State Circuits, 2003, 38(6): 958-965.
- [28] Huijsing J. Operational amplifiers: theory and design[M]. Springer Science-Business Media, 2011.
- [29] Steyaert M S J, Sansen W M C. A micro power low-noise monolithic instrumentation amplifier for medical purposes[J]. IEEE Journal of Solid-State Circuits, 1987, 22(6): 1163-1168.
- [30] Krabbe H. A high-performance monolithic instrumentation amplifier[C]. 1971 IEEE International Solid-State Circuits Conference Digest of Technical Papers, 1971, 14: 186-187.
- [31] Brokaw A P, Timko M P. An improved monolithic instrumentation amplifier[J]. IEEE Journal of Solid-State Circuits, 1975, 10(6): 417-423.
- [32] Enz C C, Temes G C. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization[J]. Proceedings of the IEEE, 1996, 84(11): 1584-1614.
- [33] C. C. Enz, G. C. Temes. Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization[J]. Proc. IEEE, 1996, 84(11): 1584-1614.
- [34] M. Bolatkale, M. Pertijs, W. Kindt, et al. A single-temperature trimming technique for MOS-input operational amplifiers achieving  $0.33\mu\text{V}/^\circ$  offset drift[J]. IEEE J. Solid-State Circuits, 2011, 46(9): 2099-2107.
- [35] B. Razavi, RF Microelectronics[M]. Upper Saddle River, NJ: Prentice-Hall, 1998.
- [36] L. Liu, T. Hua, Y. Zhang, J. Mu, et al. A Robust Bio-IA With Digitally Controlled DC-Servo Loop and Improved Pseudo-Resistor[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(3): 440-444.
- [37] W. M. Chen, W. C. Yang, T. Y. Tsai, et al. The design of CMOS general-purpose analog front-end circuit with tunable gain and bandwidth for biopotential signal recording systems[C]. Proc. Int. Conf. IEEE Engineering in Medicine and Biology Society, 2011: 4784-4787.
- [38] Y. Tseng, Y. Ho, S. Kao, C. Su. A 0.09 W low power front-end biopotential amplifier for biosignal recording[J]. IEEE Trans. Biomed. Circuits Syst, 2012, 6(5): 508-516.
- [39] J. Lee, H. G. Rhew, D. R. Kipke, M. Flynn. A 64 channel programmable closed-loop neurostimulator with 8 channel neural amplifier and logarithmic ADC[J]. IEEE J. Solid State Circuits, 2010, 45(9): 1935-1945.
- [40] M. J. Nelson, P. Pouget, E. A. Nilsen et al. Review of signal distortion through metal

- microelectrode recording circuits and filters[J]. *J. Neurosci. Methods*, 2008, 169(1): 141–157.
- [41] J. P. Frampton, M. R. Hynd, M. L. Shuler, et al. Effects of glial cells on electrode impedance recorded from neural prosthetic devices in vitro[J]. *Ann. Biomed. Eng.*, 2010, 38(3): 1031–1047.
- [42] F. Shahrokhi, K. Abdelhalim, D. Serletis, et al. The 128-channel fully differential digital integrated neural recording and stimulation interface[J]. *IEEE Trans. Biomed. Circuits Syst*, 2010, 4(3): 149–161.
- [43] K. A. Ng, Y. P. Xu. A compact, low input capacitance neural recording amplifier with  $C_{in}/Gain$  of 20 fF.V/V[C]. *Proc. IEEE Biomedical Circuits and Systems Conf*, 2012: 328–331.
- [44] V. Majidzadeh, A. Schmid, Y. Leblebici. Energy efficient low- noise neural recording amplifier with enhanced noise efficiency factor[J]. *IEEE Trans. Biomed. Circuits Syst*, 2011, 5(3): 262–271.
- [45] R. E. Blahut. *Algebraic Codes for Data Transmission*[J]. Cambridge University press, 2003.
- [46] F. Chen, A. Chnadrasakan, V . Stojanovi'c. Design and Analysis of a Hardware-Efficient Compressed Sensing Architecture for Data Compression in Wireless Sensors[J]. *IEEE J. Solid-State Circuits*, 2012, 47(3): 744-756.
- [47] L. Liu, D. Gao, Y. Tian, et al. A Low Mismatch and High Input Impedance Multi-Channel Time-Division Multiplexing Analog Front End for Bio-Sensors[J]. *IEEE Sensors Journal*, 2022, 22(7): 6755-6763.
- [48] L. Zeng, B. Liu, C.-H. Heng. A dual-loop eight-channel ECG recording system with fast settling mode for 12-lead applications[J]. *IEEE J. Solid-State Circuits*, 2019, 54(7): 1895–1906.
- [49] S. -K. Lee, S. -J. Park, H. -J. Park, et al. A 21 fJ/Conversion-Step 100 kS/s 10-bit ADC With a Low-Noise Time-Domain Comparator for Low-Power Sensor Interface[J]. *IEEE Journal of Solid-State Circuits*, 2011, 46(3): 651-659.
- [50] 刘博晓. 基于频分复用技术的高硬件效率信号调理电路采集电路[D]. 上海交通大学, 2019.
- [51] T. Zhang, P. Mak, M. Vai, et al. 15-nW Biopotential LPFs in 0.35- $\mu\text{m}$  CMOS Using Subthreshold-Source-Follower Biquads With and Without Gain Compensation[J]. *IEEE Transactions on Biomedical Circuits and Systems*, 2013, 7(5): 690-702.
- [52] E. Kang, M. Tan, J. An, et al. A Variable-Gain Low-Noise Transimpedance Amplifier for Miniature Ultrasound Probes[J]. *IEEE Journal of Solid-State Circuits*, 2020, 55(12): 3157-3168.



西安电子科技大学  
XIDIAN UNIVERSITY

地址：西安市太白南路2号

邮编：710071

网址：[www.xidian.edu.cn](http://www.xidian.edu.cn)